GFEC Stratix II F1020

研發電路板中文使用手冊



Rev 2.40

UG_EK2SF1020_CHT240

產品名稱： 茂綸 Stratix II F1020 研發電路板
手冊版本： 2.40 UG_EK2SF1020
發表日期： 2005 年 5 月

在科技迅速的發展下，此發行手冊中的一些規格可能會有過時不適用的敘述，敬請見諒。在此不擔保本手冊無任何疏忽或錯誤亦不排除會再更新發行。手冊若有任何內容修改，恕不另行通知。研發電路板若有任何配件及硬體上的變更，使用手冊都會隨時更新。更新的詳細說明請您到茂綸的全球資訊網瀏覽，或直接與茂綸公司聯絡。

研發電路板上的任何標簽或貼紙請勿自行撕毀與抹除，否則會影響到產品保固的認定標準。

目錄內容

STRATIX II DEVICE FAMILY規格概要 6

1. 產品介紹 7

1.1 產品規格 10
1.2 注意事項 11
1.3 快速使用研發電路板 12

2. 硬體裝置資訊 13

2.1. 茂綸 EK2SF1020 DEVELOPMENT BOARD 外觀圖 13
2.2. 茂綸 EK2SF1020 DEVELOPMENT BOARD 構造圖 14
2.3. FPGA 相容型號 15
2.4. 電源系統 16
2.5. 研發電路板可用 I/O 之對應 16
2.5.1. JP1 & JP5 20
2.5.2. JP2 & JP6 22
2.5.3. JP3 & JP7 24
2.5.4. JP4 & JP8 26
2.6. AS (ACTIVE SERIAL) HEADER 28
2.7. JTAG HEADER 28
2.8. TEST PIN 29
2.9. 跳線選擇區 30
2.10. DDR SO-DIMM 30
2.11. UART 31
2.12. RE-CONFIGURATION 31
2.13. 時脈訊號之使用 32
2.14. SYSTEM STATUS INDICATORS 33
2.15. I/O FOLLOW THROUGH SWITCH 之電氣規格特性 33
2.16. 堆疊 33

3. 軟體相關資訊 35

3.1. QUARTUSII 版本支援 35
3.2. 協力廠商支援版本支援 36
3.3. 軟體操作 37
3.3.1. Hardware Setup 37
3.3.2. Configuration Device Setting 40
3.3.3. JTAG 42
3.3.4. Active Serial Programming (AS) 45

4. 附錄..48

4.1. BYTEBLASTER MV/II 在WINDOWS 2K/XP 安裝指南 48
4.2. MICROSOFT WINDOW XP SP2 相容性問題修正方法 53
4.3. USB BLASTER DRIVER INSTALLATION...53
4.4. 尺寸圖...57
4.5. RECOMMEND LAYOUT FOOTPRINT..59
4.6. 電路圖...63
4.7. I/O BUFFER SPEC...81
5. 參考...87

版本更動記錄...88





聯絡茂綸股份有限公司

台北總公司

地址:<231>台北縣新店市北新路三段207-5號14F
TEL:886-2-8913-2200
FAX:886-2-8913-2277

新竹分公司

地址: <300>新竹市光復路一段526號3F
TEL:886-3-578-6766
FAX:886-3-577-4795

高雄分公司

地址:<800>高雄市新興區民生一路56號10F之8
TEL:886-7-223-1338
FAX:886-7-222-4051

技術支援專線

TEL:0800819595

茂綸全球資訊網頁

HTTP://WWW.GFEC.COM.TW



Stratix II Device Family 規格概要



50% Faster Performance
2.25X Logic Capacity Increase
40% Lower Price per Density
4X DSP Bandwidth Increase
1-Gbps LVDS
New，Faster External Memory Interfaces
Non-Volatile Design Security
Tri-Matrix™ Memory
Digital Signal Processing Blocks
External Memory Interfaces
840-Mbps Differential I/O Pins
Remote System Upgrades

若需要詳細FPGA的Datasheet，可以直接至Altera網站下載。

1. 產品介紹

本研發電路板設計為IC研發驗証所使用，所以本研發電路板可支援到Altera Stratix II Device Family 中，最高規格 EP2S180F1020 的 FPGA，可供 IC 設計人員最大容量的 179，400 LEs、9，383，040 bits 內嵌式的記憶體及最大 753 的可用 I/Os。如果在最大大容量的 FPGA 仍無法滿足設計需求時，亦可以使用堆疊方式來擴充可使用邏輯的容量。

目前業界速度最快和最大容量的 FPGA-Stratix II 系列，FPGA 效能達到新的水準。Stratix II 元件採用了創新性的邏輯結構，其性能比第一代 Stratix FPGA 平均提高 50%，邏輯容量增加一倍。在高階系統中，Stratix II 元件擴展了 FPGA 設計的應用範圍，可利用其滿足現今設計者對於高性能的要求，且避免使用複雜的 ASIC 設計流程開發產品。Stratix II device 是建立在得獎的 Stratix device family 之上，Stratix II 元件提供強大的系統設計功能、包含許多有效加強產品價值和新的生產力。

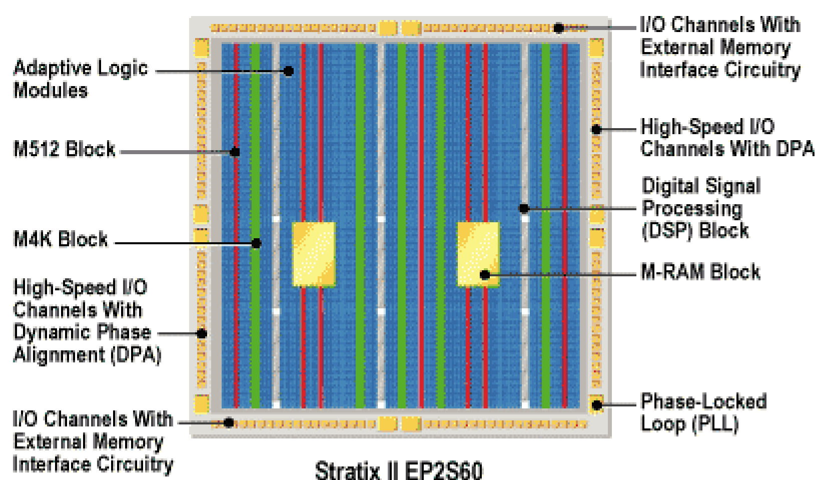
Stratix II FPGA 採用 TSMC 12 吋晶圓、Low-K 材料、90 奈米製程技術進行生產製造。Stratix II 元件初次採用了創新和高效能的邏輯結構，獲得最高的性能和佔用更少的資源，且完全相容 Stratix Device Family 架構。這種邏輯結構將元件創造出目前市場上最大的 FPGA;達到最高 180K 個等效邏輯單元(LE)和 9Mbit 的 RAM；這些都使得單位成本大大低於前一代的 FPGA。

Stratix II 元件採用 Quartus® II 軟體進行設計，具有最佳的效能和易用性。Quartus® II 軟體是世界最先進、大容量的 FPGA 開發軟體，在單一設計環境下提供最佳化、合成和驗證的工具。

Stratix II FPGA 支援 Structure ASIC –Hard-Copy II™的移植，具有業界唯一以 FPGA 至量產 ASIC 成品的無風險開發流程。用 Hard-Copy II Device 進行設計，能降低開發成本，而且同時具有 FPGA 靈活及快速上市的優勢。

一流的功能

一流的功能 Stratix II 元件改善許多功能，這些功能成為 FPGA 的新標準(圖1)。諸如新的邏輯結構和設計安全性的技術等新的元件功能構成世界最先進的 FPGA。



圖表 1 Stratix II EP2S60 Floorplan

新的邏輯結構

- 基於自適性邏輯模組（ALM），創新性的邏輯結構，將更多邏輯合併到較小的面積上，且具有更佳的性能。
- 專屬算術功能，有效地實現了 Adder Tree 和其它高運算量的電路。

高速 I/O 信號和介面

- 專屬串列/解串列（SERDES）電路，支援 1-Gbps Source Synchronous I/O Signal。
- 動態相位調整（DPA）電路，動態消除板子上與部份元件的信號偏移，提供最大性能。
- 支援差動 I/O 信號電路，包括 Hyper-Transport、LVDS、LVPECL 和差動的 SSTL 和 HSTL。

專屬外部記憶體存取介面

- 以專屬腳位支持最新的外部記憶體存取介面，包括 DDR2 SDRAM、RLDRAM II 和 QDRII SRAM 元件。
- 足夠的頻寬和 I/O 腳，支持多個標準 64 位元或 72 位元的 168/144 腳位 DIMM。

設計安全性

- 為需要安全設計的新型應用，提供了可程式化邏輯的功能和優勢。
- 採用配置 bit-stream 加密技術的 128 位元 Advanced Encryption Standard（AES）Design Security。
- 安全密碼存儲在 FPGA 中，無需額外的備份電池或占用邏輯資源。

Tri-Matrix™記憶體

- 三種 Memory Block，提供高達 9Mbits 的容量。

M-RAM、M4K 和 M512 的 Memory Block。

- 包含奇、偶位元除錯檢查。
- 效能高達 400MHz。
- 混合資料長度和混合時序模式。

數位信號處理（DSP）

- 更多 DSP Block 頻寬是 Stratix 元件的 4 倍多。
- 專屬乘法器、Pipeline 和 Accumulate 電路。
- 每個 DSP Block 支援 Q1.15 格式中新的 rounding 和 saturation。
- 最佳性能高達 420MHz。

時序管理電路

- 內嵌多達 12 個相位鎖相迴路（PLL），進行 FPGA 和系統的時脈管理。
- 動態 PLL 設定，允許在執行中改變 PLL 參數。
- 備援時脈切換，用於錯誤恢復和多時脈系統。

內建阻抗匹配電阻

- 內建差動和串列阻抗匹配電阻，減少板子設計複雜度及成本。

遠端系統升級

- 遠端系統升級，能夠可靠、安全地進行升級及錯誤修復。
- 專屬 Watchdog 電路，確保升級後能工作正常。

1.1 產品規格

在您拿到茂綸 EK2SF1020 研發電路板包裝盒後，請檢查下面所出的各項標準配件是否齊全：

☑GFEC Stratix II Development Board 研發電路板一片
☑ADAPTER 一只 （交流 AC 110V/220V 轉直流 DC 6V/3A 之電源轉換器）
☑電源線一組（紅白線）
☑GFEC USB Download Cable 一條
☑光碟片
☑專用連接器四只
☑Stratix II 專用散熱片

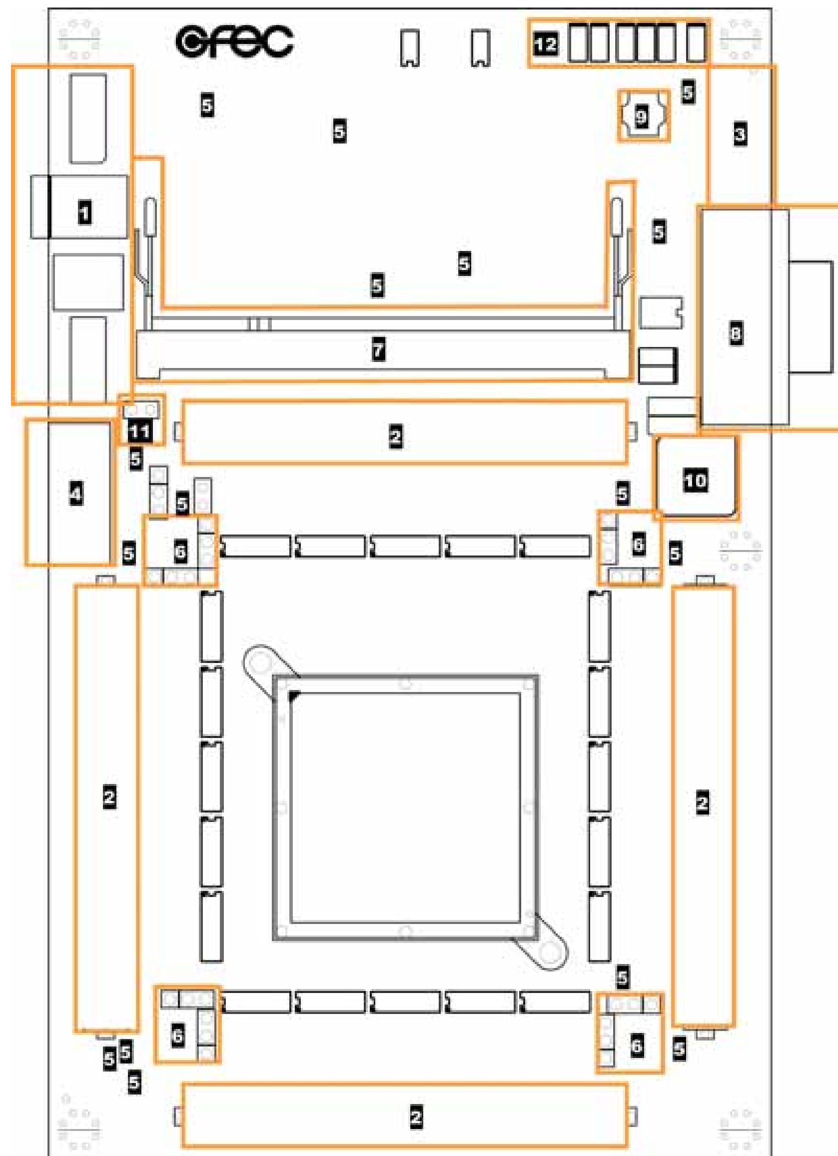
如果發現上述任何一件配件有短缺或損壞之情形，請儘速與茂綸股份有限公司聯絡。

1.2 注意事項

研發電路板由許多精密的積體電路及其他元件所構成，這些積體電路很容易因為遭到靜電影響而損壞。所以請在正式安裝使用前，做好下列準備並研讀完本使用手冊。

- 在將本研發電路被板插入自行設計的系統時，如果發現在針腳有彎曲或不易插入之情形，切勿強行插入，否則造成針腳損毀不堪使用時，不在保固範圍之內。
- 當本電路板插在自行設計的母板上時，盡量避免過度插拔，以延長排針使用壽命；插拔時必須四面均勻緩慢拔出以避免排針彎曲。
- 在 Power On 之前，請再三確認供應電源的電壓及接線。
- 如有需要 ISP 功能，請在電源開起前先連接好本研發電路板和 Byte-Blaster II、USB-Blaster 或 Byte-Blaster MV Download Cable。
- 拿取研發電路板時請儘量避免觸碰金屬接線及積體電路元件本體部份。
- 如需以手直接接觸積體電路元件時，請戴上有抗靜電手環，避免積體電路元件受到損毀。
- 在研發電路板未安裝或使用時，需將元件置放在靜電墊或防靜電袋內。
- 請先將所有的設定點查證完畢無誤後再加入電源。
- 加入電源前應再三檢查電源電壓及電源接線。
- 本研發電路板嚴禁摔落碰撞，並勿讓導電物質接觸到 PCB 板上的任何線路或零件；當研發電路板已發現明顯之損壞，切勿加入電源測試以免造成危險及 IC 損毀。
- 如須 Stack 本研發電路板做容量擴充時，請確認 I/O 設定是否有衝突，以免造成 Follow Through Switch 損毀。
- 使用示波器或邏輯分析儀進行訊號 Debug 時，請小心使用，避免使探針造成短路，導致 Follow Through Switch 損毀。
- 操作人員請配帶靜電防止裝置。
- 本產品所使用之 ALTERA 元件之相關限制與特性，請參考 ALTERA 資料手冊。
- 本產品的所有可調整點，皆以活動式 JUMPER 設定，請勿自行加工設定。
- 電源線及 Download 線愈短愈好，以減少雜訊。
- 遇有使用上疑慮時，務必向本公司工程師詢問清楚後再行使用，以免操作不當造成損失。

1.3 快速使用研發電路板

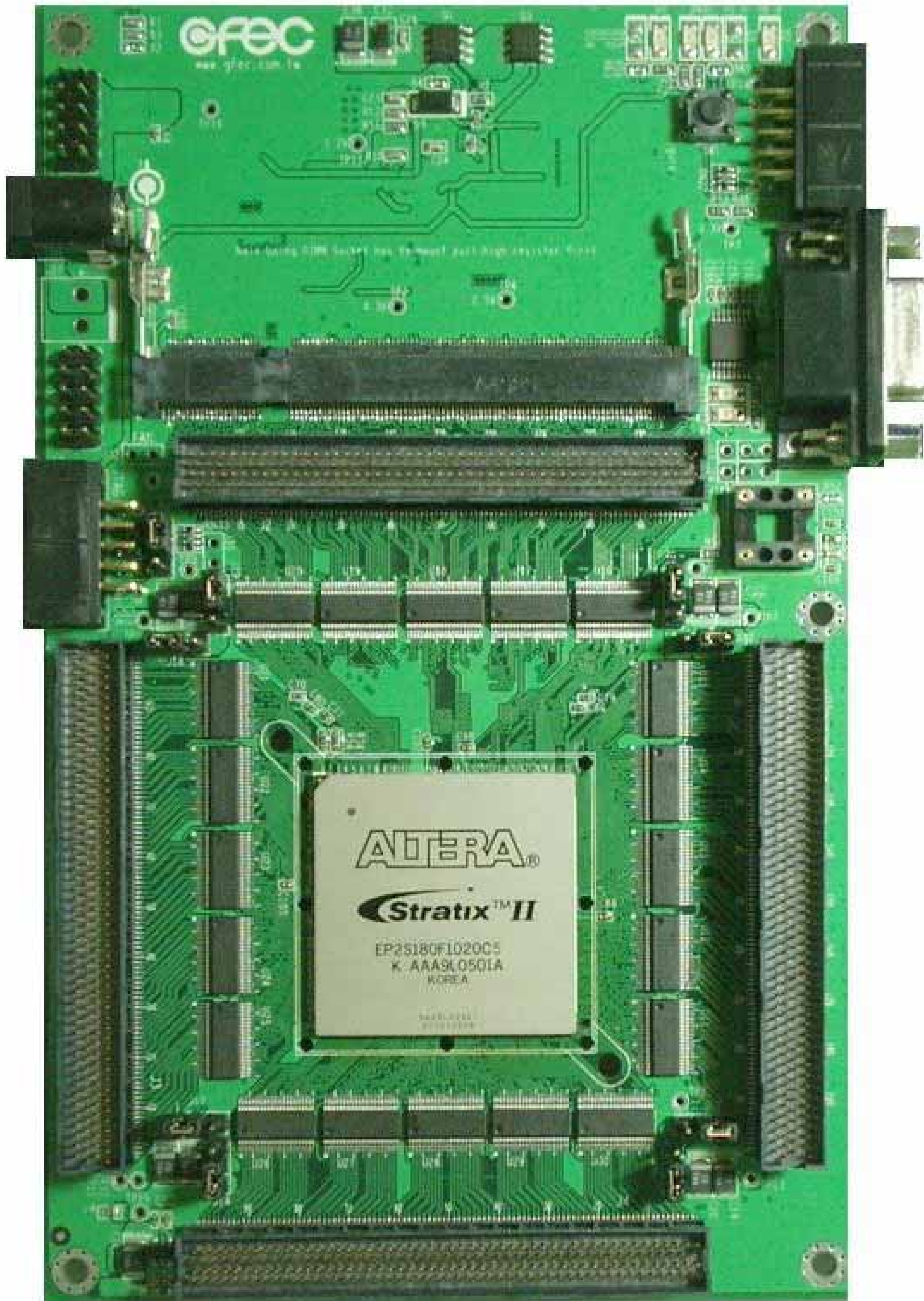


1.	Power System	Detail See 2.4	2.	Extension Connector	Detail See 2.5
3.	AS Configuration	Detail See 2.6	4.	JTAG Configuration	Detail See 2.7
5.	Test Ping	Detail See 2.8	6.	B1~B8 Bank Voltage	Detail See 2.9
7.	DDR SDRAM	Detail See 2.10	8.	UART	Detail See 2.11
9.	Re-Download	Detail See 2.12	10.	Oscillator Socket	Detail See 2.13
11.	FAN Connector	Detail See 2.14	12.	System Status Indicators	Detail See 2.16

2. 硬體裝置資訊

2.1. 茂綸 EK2SF1020 Development Board 外觀圖

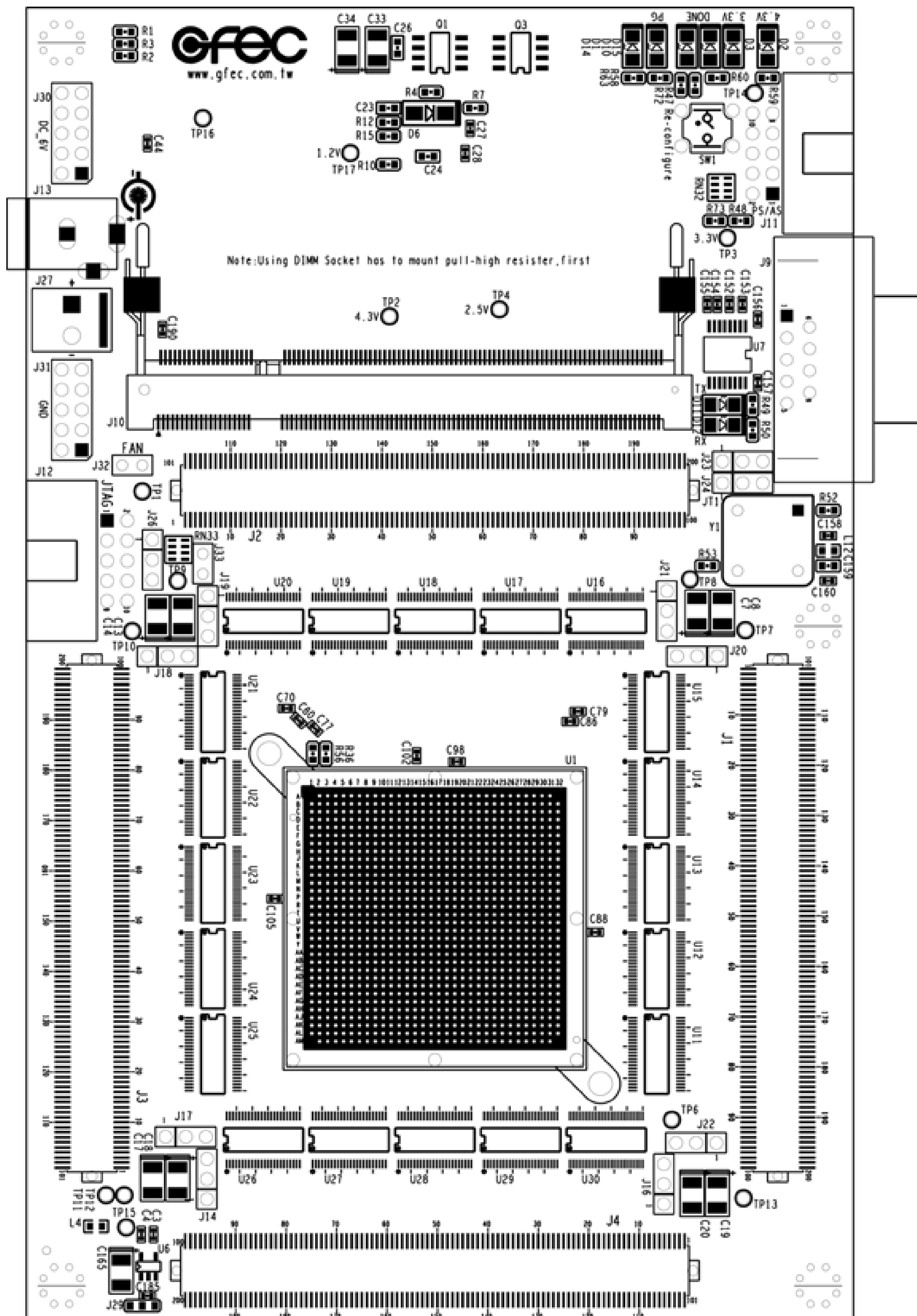
以下為茂綸 Stratix II 研發電路板實際大小外觀圖：



圖表 2 茂綸 Stratix II 研發電路板外觀圖

2.2. 茂綸 EK2SF1020 Development Board 構造圖

以下為茂綸 Stratix II 研發電路板實際大小構造圖：



圖表 3 茂綸 Stratix II 研發電路板機構圖

2.3.FPGA 相容型號

以下列表格 2-1 為 Stratix II Device Family所有IC之規格。本研發電路板支援EP2S60 以上的Device。[1]

Device	ALMs	Equivalent LEs	M512 Blocks	M4K Blocks	M-RAM Blocks	Total Memory Bits	DSP Blocks	18x18 Multipliers	PLLs
EP2S15	6,240	15,600	104	78	0	419,328	12	48	6
EP2S30	13,552	33,880	202	144	1	1,369,728	16	64	6
EP2S60	24,176	60,440	329	255	2	2,544,192	36	144	12
EP2S90	36,384	90,960	488	408	4	4,520,448	48	192	12
EP2S130	53,016	132,540	699	609	6	6,747,840	63	252	12
EP2S180	71,760	179,400	930	768	9	9,383,040	96	384	12

表格 1 Stratix Device Family

以下列表格 2-2 為 Stratix II Device Family所有IC所支援的包裝及可用I/Os，本研發電路板可支援的Package型式為Fine-BGA 1020 Pin。[2]

Device	F484	H484	F672	F780	F1020	F1508
EP2S15	341		365			
EP2S30	341		499			
EP2S60	341		499		717	
EP2S90		308		534	757	901
EP2S130				534	741	1，109
EP2S180					741	1，173

表格 2 Stratix II Package Offerings & Users I/O Counts

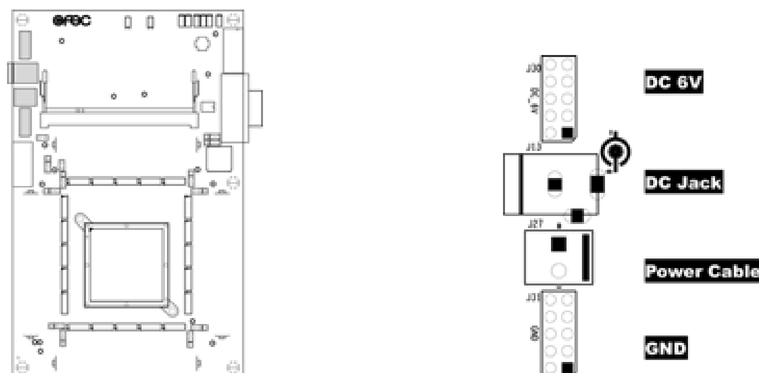
[1]黃色標記的部份為GFEC Stratix II Development Board可以選擇的Device大小。
[2]黃色標記的部份為GFEC Stratix II Development Board可以相容的Package。

2.4.電源系統

本研發電路板，可以使用隨貨附贈的 Adapter 供給電源；如果當地電源無法提供適合的輸入電源給 Adapter 或須要的功率消耗大於附贈的電源供應器時，本研發電路亦可以接受由使用者自行提供 6 伏特的直流電源輸入。

本電路板內含電源處理電路，電源輸入方式共有三種，其使用方式詳列於下：

- 使用本公司提供之專用 Adapter，可將交流 AC110V/240V 轉成 DC-6V，直接連接在 J13 上，提供電路板所需電源，但僅限於耗電在 3A 以下之系統使用，若系統有額外需求，外部所需之電源須另外提供。
- 以隨貨附上之雙線 Cable，在檢查正負極後連接直流電源供應器，輸入電壓為 DC-6V。
- 本電路板可與其他電路板結合使用，並由其他電路板提供電源，但輸入電壓必須為 DC-6V。



2.5.研發電路板可用 I/O 之對應

本研發電路板將所有 FPGA 可用 I/O 經過 Follow Through Switch 至 Connector，可確保 FPGA 所有 I/O 不至因外來過高之電壓或電流造成損毀；而有關 Follow Through Switch 詳細資料，可以參考附錄。在使本研發電路板做電路驗証時，建議以 EP2S60F1020 的 User I/O 為主，避免無法在 Fine BGA 1020 包裝中任意更換不同大小 Gate Count 的 FPGA。

本研發電路板，以預設為 PLL Enable，如有省電或其它因素，需將內嵌式 PLL 關閉，須以外部電路控制 pll_ena 腳位。

以下為本研發電路板所有特殊使用的腳位說明：

Pin Name	Optional Function	Bank	Location	Board Location
CLK0p	Input/Output	B2	T32	JP1.44
CLK0n	Input/Output	B2	T31	JP1.45
CLK1p	Input	B2	T30	JP1.46
CLK1n	Input	B2	T29	JP1.47
CLK2p	Input/Output	B1	U32	JP1.52
CLK2n	Input/Output	B1	U31	JP1.53
CLK3p	Input	B1	U30	JP1.54
CLK3n	Input	B1	U29	JP1.55
CLK4p	Input/Output	B8	AM17	JP4.46
CLK4n	Input/Output	B8	AL17	JP4.47
CLK5p	Input/Output	B8	AK17	JP4.48
CLK5n	Input/Output	B8	AJ17	JP4.49
CLK6p	Input/Output	B7	AM16	JP4.52
CLK6n	Input/Output	B7	AL16	JP4.53
CLK7p	Input/Output	B7	AH16	JP4.56
CLK7n	Input/Output	B7	AG16	JP4.57
CLK8p	Input/Output	B6	U1	JP3.44
CLK8n	Input/Output	B6	U2	JP3.45
CLK9p	Input	B6	U3	JP3.46
CLK9n	Input	B6	U4	JP3.47
CLK10p	Input/Output	B5	T1	JP3.52
CLK10n	Input/Output	B5	T2	JP3.53
CLK11p	Input	B5	T3	JP3.54
CLK11n	Input	B5	T4	JP3.55
CLK12p	Input/Output	B4	A16	JP2.44
CLK12n	Input/Output	B4	B16	JP2.45
CLK13p	Input/Output	B4	E16	JP2.48
CLK13n	Input/Output	B4	F16	JP2.49
CLK14p	Input/Output	B3	A17	JP2.54
CLK14n	Input/Output	B3	B17	JP2.55
CLK15p	Input/Output	B3	C17	JP2.56
CLK15n	Input/Output	B3	D17	JP2.57
FPLL7CLKp	Input	B2	D30	JP1.4
FPLL7CLKn	Input	B2	D29	JP1.5
FPLL8CLKp	Input	B1	AJ30	JP1.98
FPLL8CLKn	Input	B1	AJ29	JP1.99



Pin Name	Optional Function	Bank	Location	Board Location
FPLL9CLKp	Input	B6	AJ3	JP3.4
FPLL9CLKn	Input	B6	AJ4	JP3.5
FPLL10CLKp	Input	B5	D3	JP3.98
FPLL10CLKn	Input	B5	D4	JP3.99
TDI	Input(Configuration)	B8	AL13	JP4.102
TMS	Input(Configuration)	B8	AE24	JP4.109
TCK	Input(Configuration)	B8	AF24	JP4.110
TDO	Output(Configuration)	B4	C8	JP2.2
PLL_ena	Input	B7	AF8	JP4.196
TMEPDIODEp	Input		G9	JP2.152
TMEPDIODEn	Input		B3	JP2.153

表格 3 Stratix II Device Family Dedicate Pin

Pin Name	EP2S60	EP2S90	EP2S130	EP2S180	Board Location
AC29	NC	I/O	I/O	I/O	JP1.75
AC30	NC	I/O	I/O	I/O	JP1.74
AD3	NC	I/O	I/O	I/O	JP3.22
AD4	NC	I/O	I/O	I/O	JP3.23
AD29	NC	I/O	I/O	I/O	JP1.79
AD30	NC	I/O	I/O	I/O	JP1.78
AE5	NC	I/O	I/O	I/O	JP3.106
AE6	NC	I/O	I/O	I/O	JP3.107
AE9	NC	I/O	Reserve	Reserve	JP4.193
AF5	NC	I/O	Reserve	Reserve	JP3.104
AF6	NC	I/O	Reserve	Reserve	JP4.105
AF14	NC	I/O	Reserve	Reserve	JP4.157
AF27	NC	I/O	Reserve	Reserve	JP1.199
AF28	NC	I/O	Reserve	Reserve	JP1.198
AG21	NC	I/O	Reserve	Reserve	JP4.121
AG25	NC	I/O	Reserve	Reserve	JP4.106
F21	NC	I/O	Reserve	Reserve	JP2.71
F25	NC	I/O	Reserve	Reserve	JP2.198
G5	NC	I/O	I/O	I/O	JP3.198
G6	NC	I/O	I/O	I/O	JP3.199
G14	NC	I/O	Reserve	Reserve	JP2.138



Pin Name	EP2S60	EP2S90	EP2S130	EP2S180	Board Location
G27	NC	I/O	I/O	I/O	JP1.105
G28	NC	I/O	I/O	I/O	JP1.104
H3	NC	I/O	I/O	I/O	JP3.82
H4	NC	I/O	I/O	I/O	JP3.83
H5	NC	I/O	Reserve	Reserve	JP3.196
H6	NC	I/O	Reserve	Reserve	JP3.197
H9	NC	I/O	Reserve	Reserve	JP2.123
J29	NC	I/O	I/O	I/O	JP1.23
J30	NC	I/O	I/O	I/O	JP1.22
L27	NC	I/O	Reserve	Reserve	JP1.115
L28	NC	I/O	Reserve	Reserve	JP1.114
N10	NC	I/O	I/O	I/O	JP3.174
N11	NC	I/O	I/O	I/O	JP3.175
P22	NC	I/O	I/O	I/O	JP1.139
P23	NC	I/O	I/O	I/O	JP1.138
W10	NC	I/O	I/O	I/O	JP3.140
W11	NC	I/O	I/O	I/O	JP3.141
W22	NC	I/O	I/O	I/O	JP1.167
W23	NC	I/O	I/O	I/O	JP1.166

表格 4 In-Compatible Pins in Fine-Line BGA 1020

如果因實際設計需要，並無使用完所有的 User I/O，建議將未使用的 User I/O 浮接-須在 Quartus II 中設定 Un Used Pin to Ground-及將使用的 Dedicate Input 經電阻 Pull High 或 Pull Low，以減少系統雜訊。

2.5.1. JP1 & JP5

	Bank 2				
			Stratix II	Stratix II	
		1	GND	GND	101
		2	D32	F30	102
		3	D31	F29	103
		4	D30	G28	104
		5	D29	G27	105
		6	E32	H28	106
		7	E31	H27	107
		8	E30	J27	108
		9	E29	J26	109
		10	F32	K27	110
		11	F31	K26	111
		12	G32	K25	112
		13	G31	K24	113
		14	G30	L28	114
		15	G29	L27	115
		16	H32	L26	116
		17	H31	L25	117
		18	H30	L24	118
		19	H29	L23	119
		20	J32	M27	120
		21	J31	M26	121
		22	J30	M25	122
		23	J29	M24	123
		24	K32	M23	124
		25	K31	M22	125
		26	K30	N27	126
		27	K29	N26	127
		28	L32	N25	128
		29	L31	N24	129
		30	L30	N23	130
		31	L29	N22	131
		32	M32	P29	132
		33	M31	P28	133
		34	M30	P27	134
		35	M29	P26	135
		36	N31	P25	136
		37	N30	P24	137
		38	N29	P23	138
		39	N28	P22	139
		40	P32	R29	140
		41	P31	R28	141
		42	R31	R27	142
		43	R30	R26	143
		44	T32	R25	144
		45	T31	R24	145
		46	T30	R23	146
		47	T29	R22	147
		48	T28	T23	148
		49	T27	T22	149
		50	Reserve	GND	150

表格 5 JP1 & JP5 之一



	Bank 1		Stratix II	Stratix II	
		51	Reserve	GND	151
		52	U32	U28	152
		53	U31	U27	153
		54	U30	U23	154
		55	U29	U22	155
		56	V31	V29	156
		57	V30	V28	157
		58	W32	V24	158
		59	W31	V23	159
		60	Y31	W29	160
		61	Y30	W28	161
		62	Y29	W27	162
		63	Y28	W26	163
		64	AA32	W25	164
		65	AA31	W24	165
		66	AA30	W23	166
		67	AA29	W22	167
		68	AB32	Y27	168
		69	AB31	Y26	169
		70	AB30	Y25	170
		71	AB29	Y24	171
		72	AC32	Y23	172
		73	AC31	Y22	173
		74	AC30	AA27	174
		75	AC29	AA26	175
		76	AD32	AA25	176
		77	AD31	AA24	177
		78	AD30	AA23	178
		79	AD29	AA22	179
		80	AE32	AB28	180
		81	AE31	AB27	181
		82	AE30	AB26	182
		83	AE29	AB25	183
		84	AF32	AB24	184
		85	AF31	AB23	185
		86	AF30	AC27	186
		87	AF29	AC26	187
		88	AG32	AC25	188
		89	AG31	AC24	189
		90	AG30	AD27	190
		91	AG29	AD26	191
		92	AH32	AD25	192
		93	AH31	AD24	193
		94	AH30	AE28	194
		95	AH29	AE27	195
		96	AJ32	AE26	196
		97	AJ31	AE25	197
		98	AJ30	AF28	198
		99	AJ29	AF27	199
		100	GND	GND	200

表格 6 JP1 & JP5 之二

2.5.2. JP2 & JP6

	Bank 4		Stratix II	Stratix II	
		1	GND	GND	101
		2	TDO	GND	102
		3	A4	A9	103
		4	B4	B9	104
		5	C4	C9	105
		6	A5	E9	106
		7	B5	F9	107
		8	C5	C8	108
		9	D5	D8	109
		10	E5	E8	110
		11	A6	F8	111
		12	B6	A10	112
		13	C6	B10	113
		14	D6	C10	114
		15	E6	D10	115
		16	A7	F10	116
		17	B7	A11	117
		18	C7	B11	118
		19	D7	C11	119
		20	E7	D11	120
		21	A8	E11	121
		22	B8	F11	122
		23	A12	H9	123
		24	B12	G10	124
		25	C12	G11	125
		26	D12	H11	126
		27	F12	J11	127
		28	B13	K11	128
		29	C13	G12	129
		30	D13	H12	130
		31	E13	J12	131
		32	F13	K12	132
		33	G13	L12	133
		34	A14	H13	134
		35	B14	J13	135
		36	D14	K13	136
		37	E14	L13	137
		38	F14	G14	138
		39	F15	H14	139
		40	B15	J14	140
		41	C15	K14	141
		42	D15	L14	142
		43	E15	J15	143
		44	A16	K15	144
		45	B16	L15	145
		46	C16	K16	146
		47	D16	L16	147
		48	E16	K17	148
		49	F16	L17	149
		50	Reserve	GND	150

表格 7 JP2 & JP6 之一

	Bank 3		Stratix II	Stratix II	
		51	Reserve	GND	151
		52	GND	Reserve	152
		53	GND	Reserve	153
		54	A17	NC	154
		55	B17	E17	155
		56	C17	F18	156
		57	D17	K18	157
		58	B18	L18	158
		59	C18	F19	159
		60	D18	J19	160
		61	E18	K19	161
		62	A19	L19	162
		63	B19	G20	163
		64	E19	H20	164
		65	D19	J20	165
		66	F20	K20	166
		67	E20	L20	167
		68	D20	G21	168
		69	C20	H21	169
		70	B20	J21	170
		71	F21	K21	171
		72	D21	L21	172
		73	C21	G22	173
		74	B21	H22	174
		75	A21	J22	175
		76	F22	K22	176
		77	E22	L22	177
		78	D22	G23	178
		79	C22	H23	179
		80	B22	J23	180
		81	A22	G24	181
		82	A26	H24	182
		83	B26	A23	183
		84	C26	B23	184
		85	D26	C23	185
		86	E26	D23	186
		87	A27	F23	187
		88	B27	A24	188
		89	C27	B24	189
		90	D27	C24	190
		91	E27	E24	191
		92	E28	F24	192
		93	D28	A25	193
		94	A28	B25	194
		95	B28	C25	195
		96	C28	D25	196
		97	A29	E25	197
		98	B29	F25	198
		99	C29	G25	199
		100	GND	GND	200

表格 8 JP2 & JP6 之二

2.5.3. JP3 & JP7

Bank 6

	Stratix II	Stratix II	
1	GND	GND	101
2	AJ1	AG3	102
3	AJ2	AG4	103
4	AJ3	AF5	104
5	AJ4	AF6	105
6	AH1	AE5	106
7	AH2	AE6	107
8	AH3	AD6	108
9	AH4	AD7	109
10	AG1	AD8	110
11	AG2	AD9	111
12	AF1	AC6	112
13	AF2	AC7	113
14	AF3	AC8	114
15	AF4	AC9	115
16	AE1	AB5	116
17	AE2	AB6	117
18	AE3	AB7	118
19	AE4	AB8	119
20	AD1	AB9	120
21	AD2	AB10	121
22	AD3	AA6	122
23	AD4	AA7	123
24	AC1	AA8	124
25	AC2	AA9	125
26	AC3	AA10	126
27	AC4	AA11	127
28	AB1	Y6	128
29	AB2	Y7	129
30	AB3	Y8	130
31	AB4	Y9	131
32	AA1	Y10	132
33	AA2	Y11	133
34	AA3	W4	134
35	AA4	W5	135
36	Y2	W6	136
37	Y3	W7	137
38	Y4	W8	138
39	Y5	W9	139
40	W1	W10	140
41	W2	W11	141
42	V2	V4	142
43	V3	V5	143
44	U1	V6	144
45	U2	V7	145
46	U3	V9	146
47	U4	V10	147
48	U5	U10	148
49	U6	U11	149
50	Reserve	GND	150

表格 9 JP3 & JP7 之一



	Bank 5		Stratix II	Stratix II	
		51	Reserve	GND	151
		52	T1	T5	152
		53	T2	T6	153
		54	T3	T10	154
		55	T4	T11	155
		56	R2	R4	156
		57	R3	R5	157
		58	P1	R6	158
		59	P2	R7	159
		60	N2	R10	160
		61	N3	R11	161
		62	N4	P4	162
		63	N5	P5	163
		64	M1	P6	164
		65	M2	P7	165
		66	M3	P8	166
		67	M4	P9	167
		68	L1	P10	168
		69	L2	P11	169
		70	L3	N6	170
		71	L4	N7	171
		72	K1	N8	172
		73	K2	N9	173
		74	K3	N10	174
		75	K4	N11	175
		76	J1	M6	176
		77	J2	M7	177
		78	J3	M8	178
		79	J4	M9	179
		80	H1	M10	180
		81	H2	M11	181
		82	H3	L5	182
		83	H4	L6	183
		84	G1	L7	184
		85	G2	L8	185
		86	G3	L9	186
		87	G4	L10	187
		88	F1	K6	188
		89	F2	K7	189
		90	F3	K8	190
		91	F4	K9	191
		92	E1	J6	192
		93	E2	J7	193
		94	E3	J8	194
		95	E4	J9	195
		96	D1	H5	196
		97	D2	H6	197
		98	D3	G5	198
		99	D4	G6	199
		100	GND	GND	200

表格 10 JP3 & JP7 之二

2.5.4. JP4 & JP8

	Bank 8		Stratix II	Stratix II	
		1	GND	GND	101
		2	AM29	Reserve	102
		3	AL29	AH28	103
		4	AK29	AH26	104
		5	AM28	AH25	105
		6	AL28	AG25	106
		7	AK28	AH24	107
		8	AJ28	AG24	108
		9	AM27	Reserve	109
		10	AL27	Reserve	110
		11	AK27	AG23	111
		12	AJ27	AF23	112
		13	AM26	AE23	113
		14	AL26	AD23	114
		15	AK26	AH22	115
		16	AJ26	AG22	116
		17	AM25	AF22	117
		18	AL25	AE22	118
		19	AK25	AC22	119
		20	AJ25	AD22	120
		21	AM24	AG21	121
		22	AL24	AF21	122
		23	AK24	AE21	123
		24	AM23	AD21	124
		25	AL23	AC21	125
		26	AK23	AB21	126
		27	AJ23	AH20	127
		28	AM22	AG20	128
		29	AL22	AF20	129
		30	AK22	AE20	130
		31	AJ22	AD20	131
		32	AM21	AC20	132
		33	AL21	AB20	133
		34	AK21	AH19	134
		35	AJ21	AG19	135
		36	AL20	AF19	136
		37	AK20	AE19	137
		38	AJ20	AD19	138
		39	AJ19	AC19	139
		40	AM19	AB19	140
		41	AL19	AG18	141
		42	AL18	AD18	142
		43	AK18	AC18	143
		44	AJ18	AB18	144
		45	AH18	AH17	145
		46	AM17	AG17	146
		47	AL17	AC17	147
		48	AK17	AB17	148
		49	AJ17	GND	149
		50	Reserve	GND	150

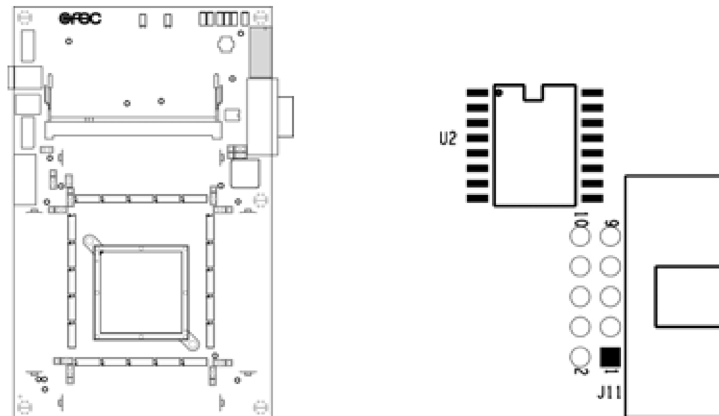
表格 11 JP4 & JP8 之一

	Bank 7		Stratix II	Stratix II	
		51	Reserve	GND	151
		52	AM16	GND	152
		53	AL16	AC16	153
		54	AK16	AB16	154
		55	AJ16	AC15	155
		56	AH16	AB15	156
		57	AG16	AF14	157
		58	AL15	AE14	158
		59	AK15	AD14	159
		60	AJ15	AC14	160
		61	AH15	AB14	161
		62	AM14	AG15	162
		63	AL14	AH14	163
		64	AJ14	AG14	164
		65	AL13	AH13	165
		66	AK13	AG13	166
		67	AJ13	AF13	167
		68	AM12	AE13	168
		69	AL12	AD13	169
		70	AK12	AC13	170
		71	AJ12	AB13	171
		72	AM11	AG12	172
		73	AL11	AF12	173
		74	AK11	AE12	174
		75	AM10	AD12	175
		76	AL10	AC12	176
		77	AK10	AB12	177
		78	AM9	AD11	178
		79	AL9	AC11	179
		80	AK9	AB11	180
		81	AM8	AD10	181
		82	AL8	AJ11	182
		83	AK8	AH11	183
		84	AJ8	AG11	184
		85	AM7	AF11	185
		86	AL7	AE11	186
		87	AK7	AJ10	187
		88	AJ7	AG10	188
		89	AM6	AF10	189
		90	AL6	AE10	190
		91	AK6	AH9	191
		92	AJ6	AG9	192
		93	AM5	AE9	193
		94	AL5	AH8	194
		95	AK5	AG8	195
		96	AJ5	AF8	196
		97	AM4	AH7	197
		98	AL4	AH6	198
		99	AK4	AH5	199
		100	GND	GND	200

表格 12 JP4 & JP8 之二

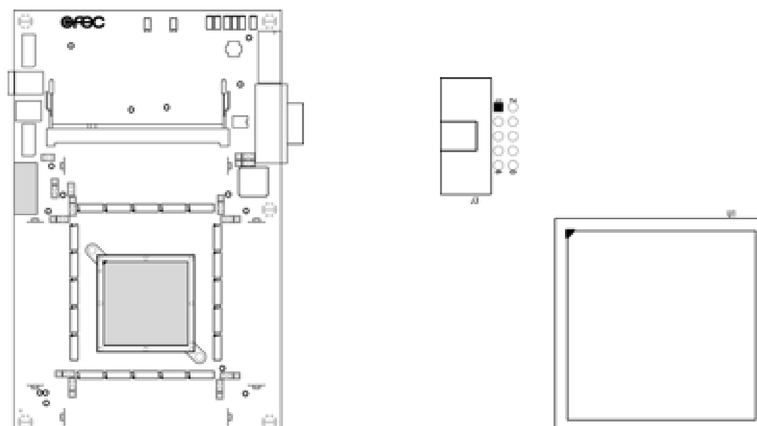
2.6.AS (Active Serial) Header

Altera FPGA 可由許多規劃方式進行燒錄，本研發電路板於出廠時已經附上 Configuration Device EPCS64，並於研發電路板上留有 AS 連接埠，可以使用的 USB-Blaster 或 Byte-Blaster II Download Cable 進行 Configuration Device EPCS64SI64N 規劃。詳細 ISP 之使用方法，可參照 3.3.4 如下，Step By Step 操作。



2.7.JTAG Header

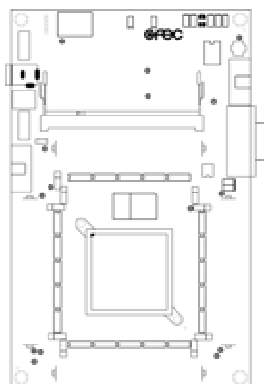
本研發電路板，是提供一個 JTAG Connector 以供在研發初期，RTL code 尚未完全完成時，須要經常的更改程式使用，以減少使用 Configuration Device 的燒錄時間及燒錄次數，而且可以減少規劃的時間。詳細 JTAG 之使用方法，可參照 3.3.3，Step By Step 操作。



2.8.Test Pin

本實驗研發電路板，共提供 16 個測試點。以提供驗証時，所須了解系統電源的狀況。

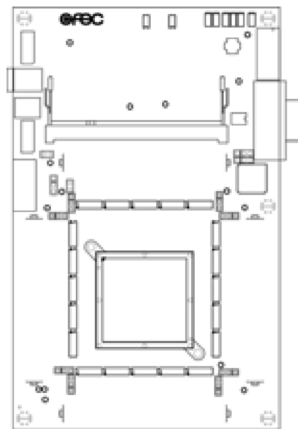
Test Pin Name	Power
TP1	GND
TP2	4.3 V
TP3	3.3 V
TP4	2.5 V
TP6	Bank 1 VCCIO
TP7	Bank 2 VCCIO
TP8	Bank 3 VCCIO
TP9	Bank 4 VCCIO
TP10	Bank 5 VCCIO
TP11	Bank 6 VCCIO
TP12	Bank 7 VCCIO
TP13	Bank 8 VCCIO
TP14	GND
TP15	GND
TP16	GND
TP17	1.2 V

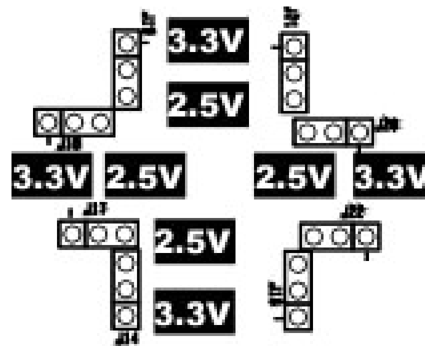




2.9.跳線選擇區

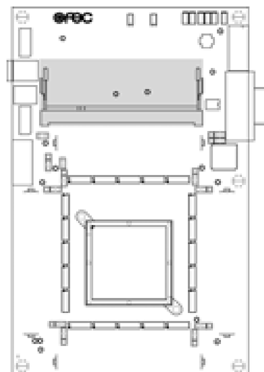
本研發電路板於每一個 I/O Bank 可根據客戶的須求，可調整電壓為 3.3V 及 2.5V，

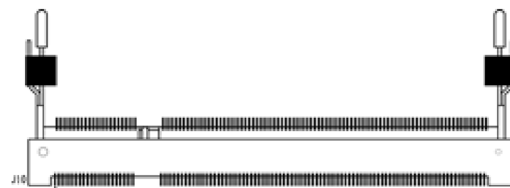




2.10. DDR So-DIMM

本研發電路板提供一個 DDR So-DIMM 的 Socket，以提供須要 DDR SDRAM 的設計使用。本功能預設為關閉，若需使用，須自行加工 16P8R 50 Ohm 的阻抗匹配電阻。本 Socket 上的腳位，皆未經過 2.15 Flow Through Switch，故使用本研發電路板時，應避免在這裡造成短路，進而造成 FPGA 的 I/O 腳位損毀。



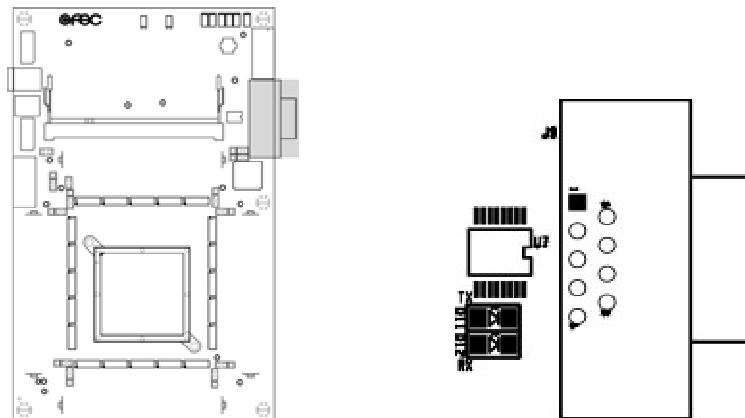


2.11. UART

本研發電路板提供一組 RS-232 接頭，以供使用。如須單獨使用第二組 RTS 和 CTS，須要 EP2S90F1020 以上的 FPGA 才可以使用，而且須準備一轉二的 RS-232 接頭；如果和電腦連接時，需要準備一條完成跳線的 RS-232 電纜線。

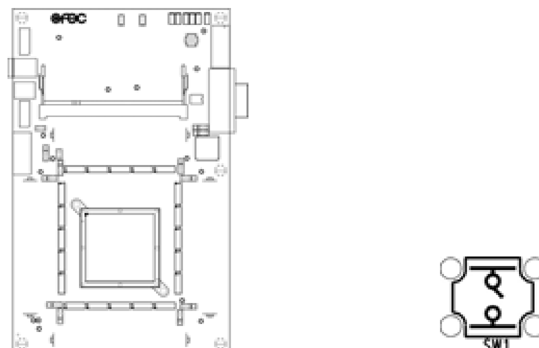
Pin Name	Bank	Location	Board Location
UART TXD	B2	F30	J1.4
UART RXD	B2	F29	J1.5
UART CTS	B2	G27	J1.105
UART RTS	B2	G28	J1.104

表格 13 UART in GFEC Stratix II Development Board



2.12. Re-Configuration

本實驗提供一個 Push Button Switch(SW1)，可提供重新由 Serial Configuration Device 規劃 FPGA。



2.13. 時脈訊號之使用

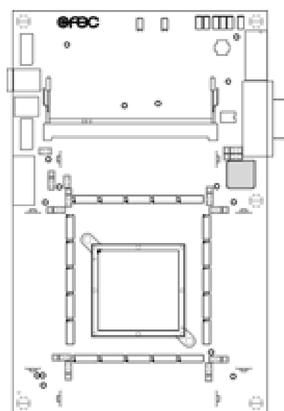
本研發電路板總共提供二種輸入時脈訊號的方式，如下示之：

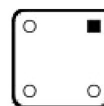
- Extension I/O Connector
- Oscillator Socket (Half size)

本研發電路板中，半長型石英振盪器為預設為時脈輸入，且輸入至 Global Clock 15，詳細明細如下：

Type	Bank	Global Clock Name	Location	Board Location
Half Size Oscillator Socket	B3	GCLK 15	E16	JP2.48

表格 14 Global Clock in GFEC Stratix II Development Board

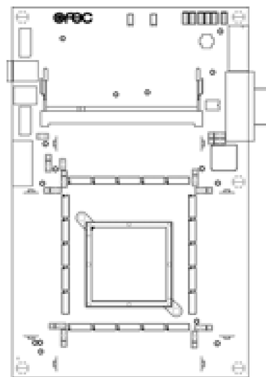


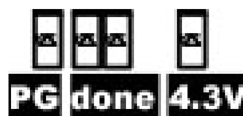


Half Size Oscillator Socket

2.14. System Status Indicators

在本實驗電路板上提供 4 個 LEDs – System Power Good、Done(綠燈亮起，表示 Configure 成功，紅燈亮時，表示 Configure 失敗)、4.3V Power Good 3.3V Power Good。

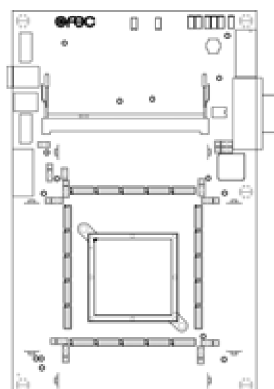


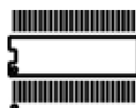




2.15. I/O Follow Through Switch 之電氣規格特性

在本實驗研發電路板，所有 Stratix II FPGA I/O 都經過 Follow Through Switch 至 JP1~JP8；每顆 Buffer 提供 20 個 channel，雖然每個 Channel 最多可提供 120mA，但每顆 Buffer 最多只提供 0.5 Watt 功耗，故有多組高電流驅動需求時，應分散在不同顆 Buffer 中；在 Extension I/O 使用時應避免短路至 VCC 或 GND，如此容易造成 Follow through switch 的損壞；如須 Follow Through Switch 詳細資料，可參考 4.7。

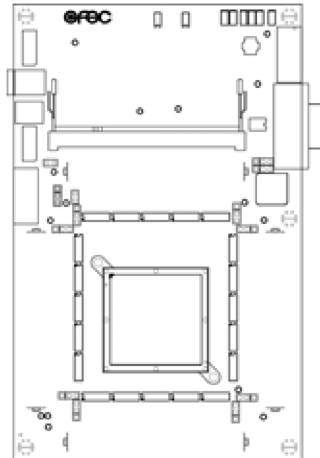




2.16. 堆疊

本研發電路板，可供 FPGA Gate Count 不足夠時，可以上下堆疊的型式加以擴充，唯需注意定義腳位不能相衝突，以避免 Follow Through Switch 損毀。

本實驗板，提供 JTAG Chain，可利用 J26 將 FPGA 經由 JTAG Chain 串接在一起。



J26
Single
Multi Device



3. 軟體相關資訊

3.1.QuartusII 版本支援

QuartusII 於 4.0 版起支援 Stratix II Device Family，如在軟體維護合約期內，您將會收到由 Altera 原廠寄出的升級光碟，亦可向茂綸公司提出試用軟體的申請。

Platform & Hardware	OS	OS Service Packs or Patches
PC **System requirements:** **800 Mbytes disk space** **256 Mbytes RAM** (1)	Windows XP	None
	Windows NT 4.0	Service Pack 3 or greater
	Windows 2000	None
	RedHat Linux 8.0	None
	RedHat Linux 7.3	None
	RedHat Enterprise Linux 3	None
SUN **System requirements:** **1.1 Gbytes disk space** **256 Mbytes RAM** (1)	Solaris 9	None
	Solaris 8	(2)
HP **System requirements:** **925 Mbytes disk space** **256 Mbytes RAM** (1)	HP-UX 11.0	(2)

表格 15 contains details about Quartus® II software version 4.2 operating system (OS) support.

Stratix II Device Availability POF

	Software Support		
	Preliminary Timing Models	POF Support	Final Timing Models
EP2S15	V4.0	V4.2 SP1	V5.0 SP1
EP2S30	V4.0	V4.2	V5.0
EP2S60	V4.0	V4.1 SP1	V5.0
EP2S90	V4.0	V4.2 SP1	V5.0 SP1
EP2S130	V4.0	V4.2	V5.0 SP1
EP2S180	V4.0	V4.2 SP1	V5.1

表格 16 Quartus II Support Stratix II Timing Model & POF

3.2.協力廠商支援版本支援

Product		Version
Vendor	Product	
Mentor Graphics	Precision	2003c
Synplicity	Synplify	7.5

表格 17 3rd Support Stratix II device family

3.3.軟體操作

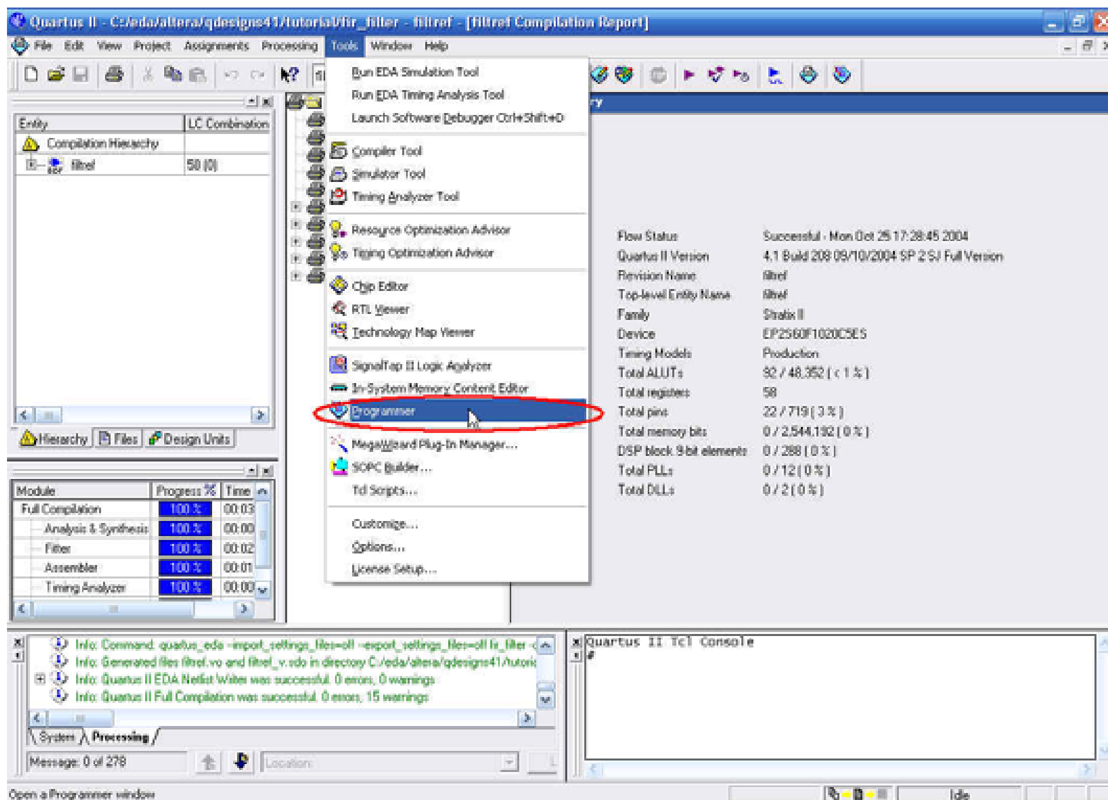
因為 FPGA 本身為 SRAM 為基礎的製程而製作，所以在本研發板上共共提供兩種模式 JTAG(*.SOF)和 AS(*.POF)以進行 FPGA 的規化；JTAG 模式為主要對 FPGA 進行規化，AS 模式主要為燒錄 Serial EPROM 使用。以下就以 Step by Step 的方式協助了解如何進行燒錄動作。

如果只是為了在實驗室燒錄 FPGA 或 EPROM，而不需進行 Compile 時，可以不必安裝完整版的 Quartus II，可以只安裝 Quartus II Programmer Only 程式，此程式大約為 40~50MB，可以較為簡省硬碟空間且較不佔用系統資源，操做方法亦無不同。此程式可以 Altera 網站上下載，或由茂綸所提供的安裝光碟中找尋。

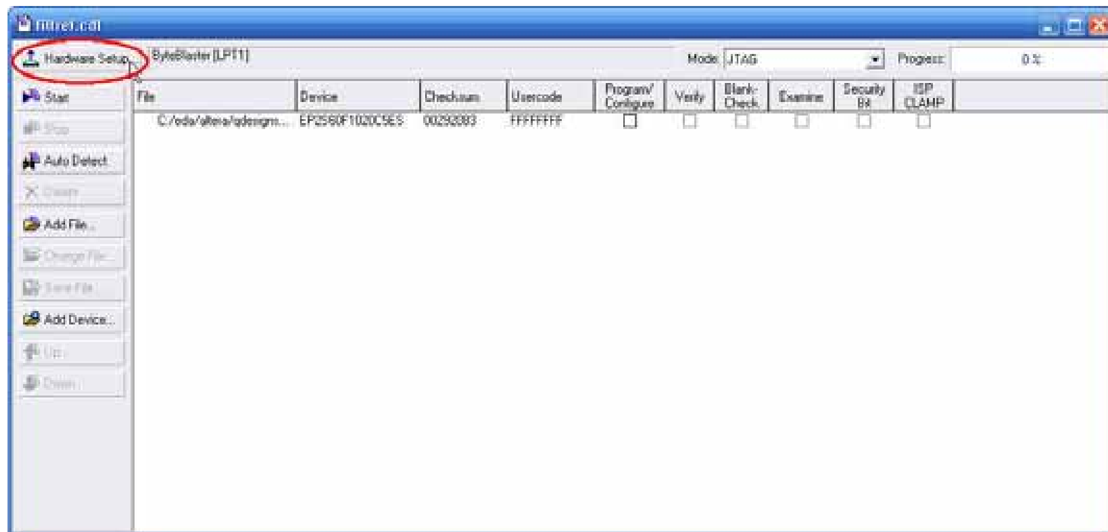
3.3.1. Hardware Setup

在第一次使用 Quartus II 時，要進行燒錄的流程前，需依照使用的 Download Cable 進行設定。如已完成設定，可以直接進行 3.3.3(JTAG)或 3.3.4(AS)。

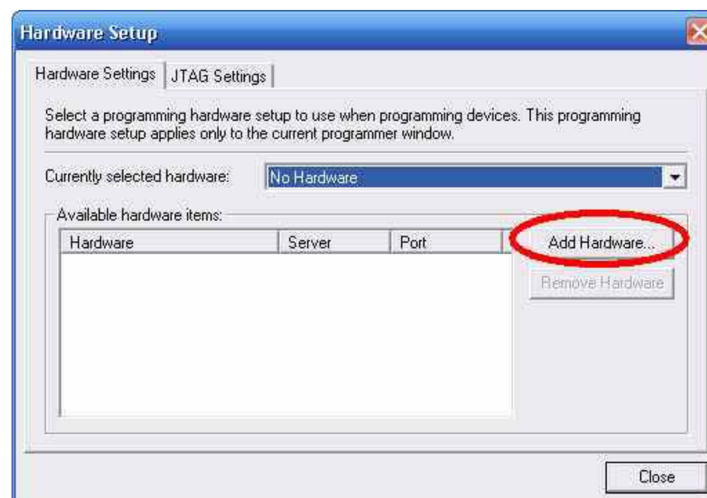
1. 在 Quartus II → Tools → Programmer 執行。



2. 先進行 Hardware Setup，設定燒錄的硬體。



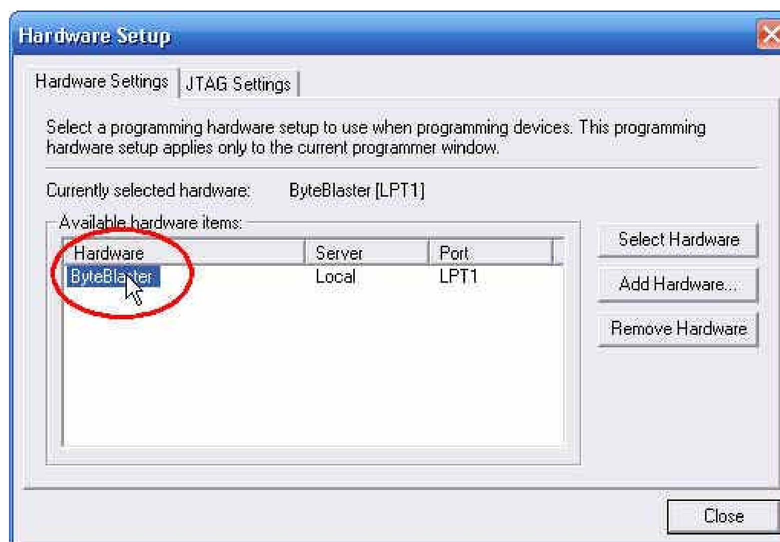
3. 在”Available hardware items”中看到任何選項時，無法選擇正確的 Hardware 時，則須要進行下一步驟，另外由 Add Hardware 去新增硬體。如果在此畫面中，”Available hardware items”已有選項時，即可直接進入步驟 5。



4. 在 Hardware type 中選擇”Byte-Blaster MV or Byte-Blaster II”，”LPT1”在 Port 的欄位中，即可完成”Add Hardware”，選擇 OK 到下一步。



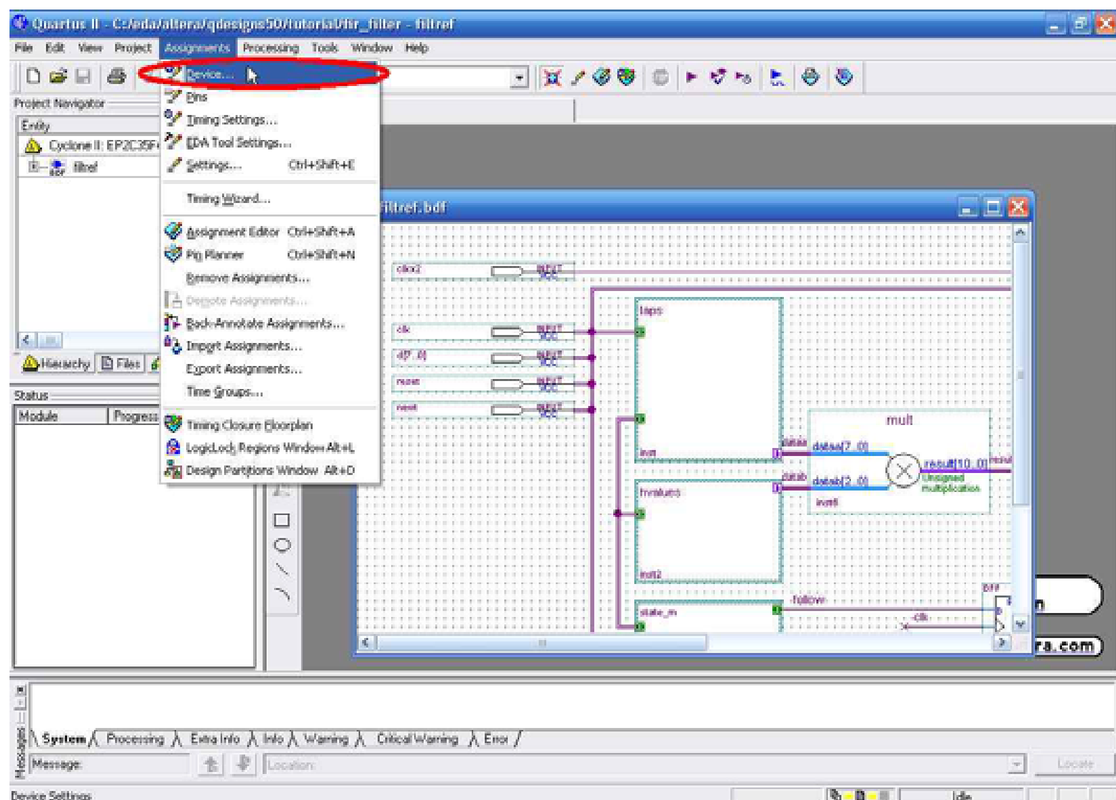
5. 選擇目前使用硬體，Byte-Blaster II、Byte-Blaster MV 或 USB-Blaster 其中選擇一個硬體。於 Currently selected hardware 上看到所選擇的裝置，硬體設定即完成，關閉視窗，即可在 programmer 中進行 JTAG 或 AS 模式燒錄。如須使用 USB Blaster，請參照 4.3 安裝驅動程式。



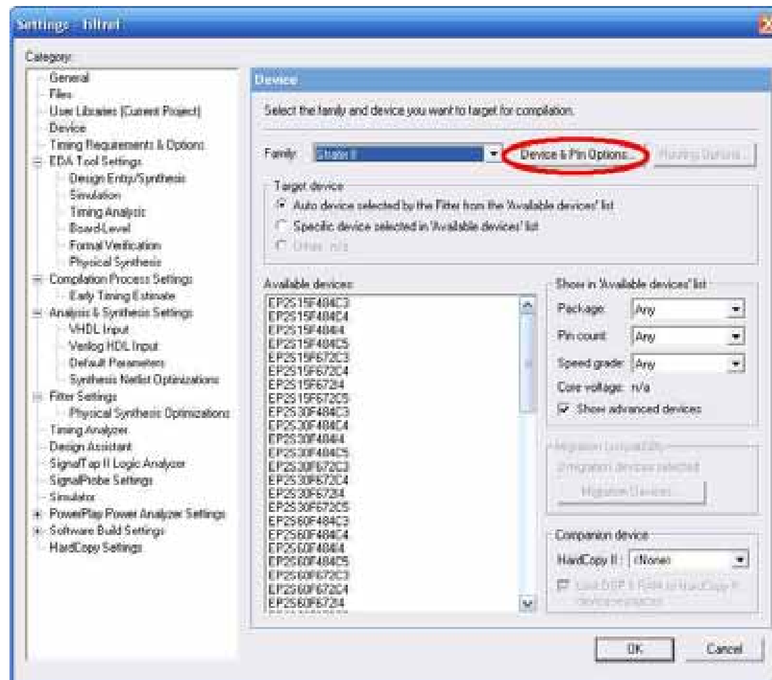
3.3.2. Configuration Device Setting

本實驗研發電路板上提供一個 Serial Configuration Device EPCS64，可於整個 Project 進行 Compile 前，直接設定 Quartus II 中 Configuration Device 為 EPCS64，可以避免另外再進行轉檔的動作。

1. 於 Quartus II 選擇 Assignment → Device，進行 Configuration Device 的設定。

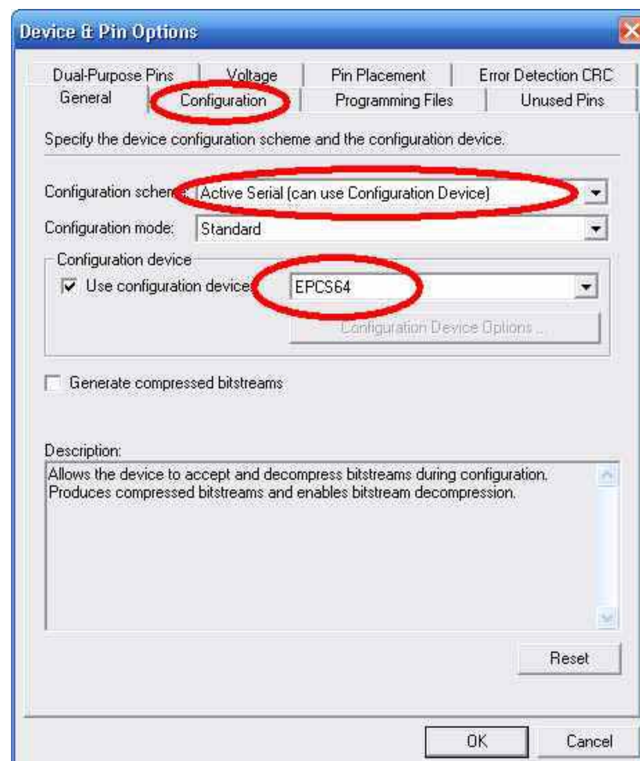


2. 選擇 Device & Pin Options 進行 Configuration Device 設定。





3. 選擇 Configuration Table，確定 Configuration Scheme 為 Active Serial 模式，其 Configuration Device 為 EPCS64。



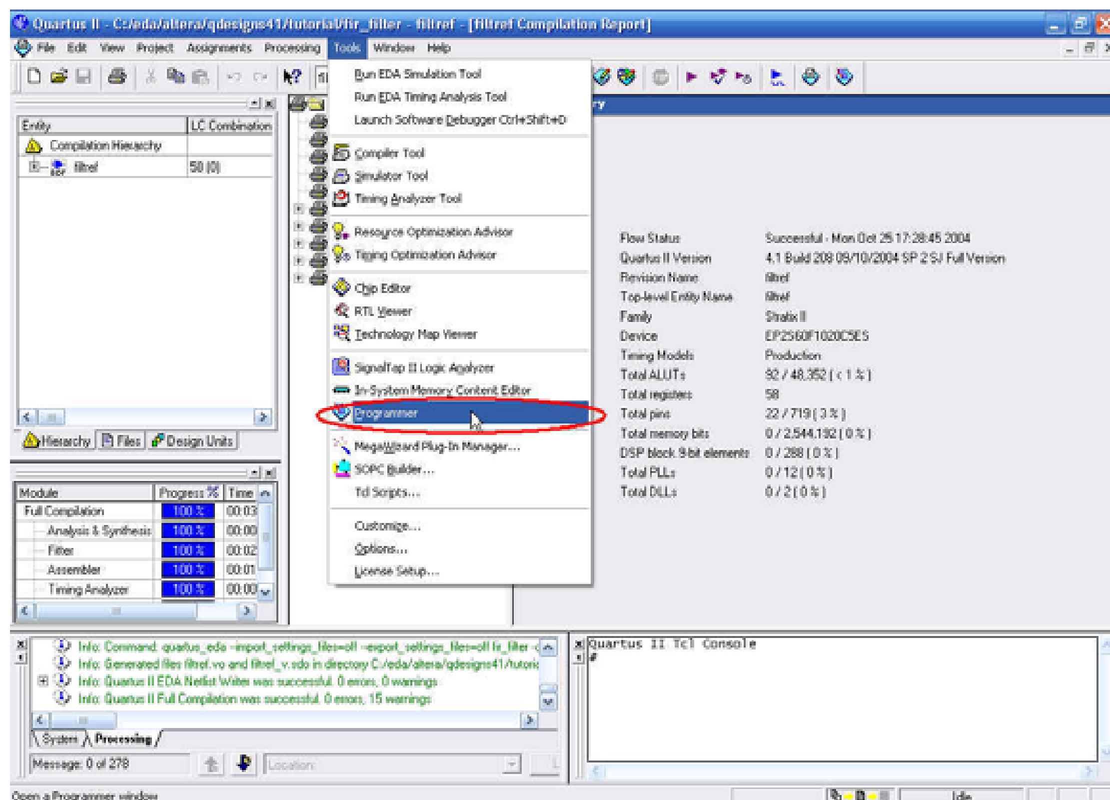
完成後，在整個 Project 完成 Compile 後，Quartus II 會自動產生相對應的燒錄檔(POF)，即可參照 3.3.4 進行 Configuration Device 的燒錄。

Stratix II

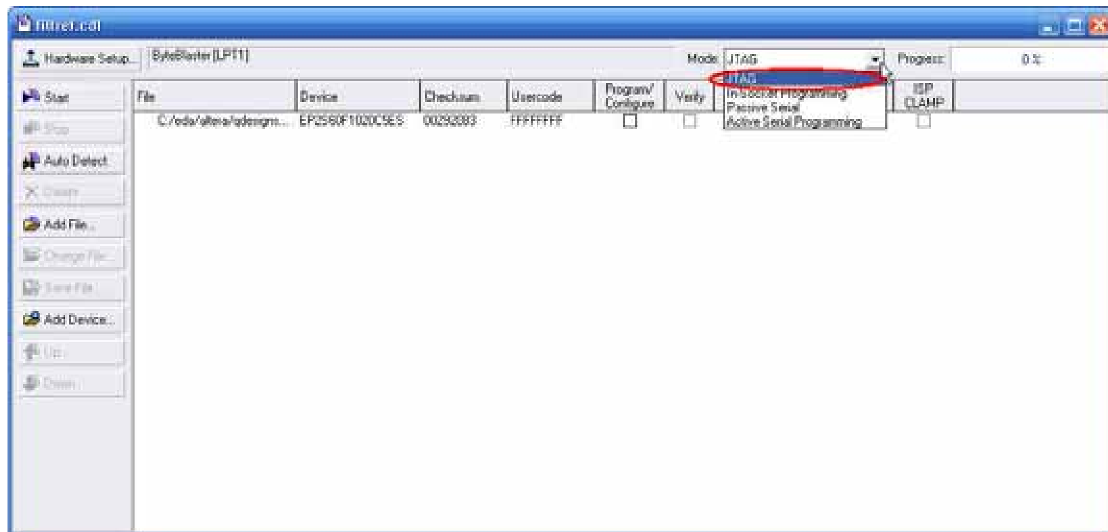
3.3.3. JTAG

本研發電路皮以 JTAG 為主要規劃 Altera Stratix II FPGA 使用，需用 Quartus II 產生之燒錄檔 SOF 做規劃。使用此種模式時，電源關閉後，資料即消失，需在重新啟動實驗板電源後，再重新做一次步驟；但此種規劃模式，其所需要時間較短。

1. 在 Quartus II → Tools → Programmer 執行。

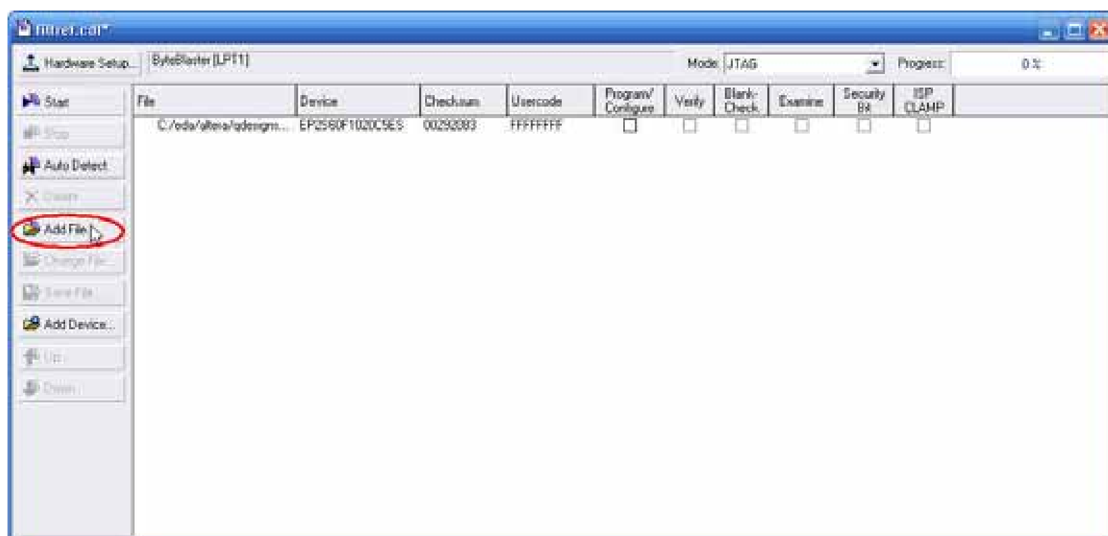


2. 選擇 JTAG mode。如 Hardware Setup 為 No Hardware 時，需要重新進行 3.3.1 硬體設定中步驟。

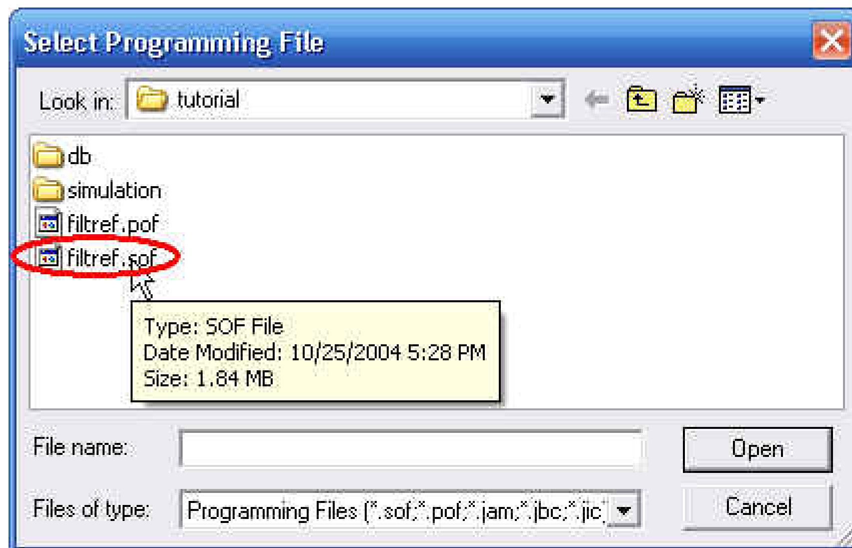




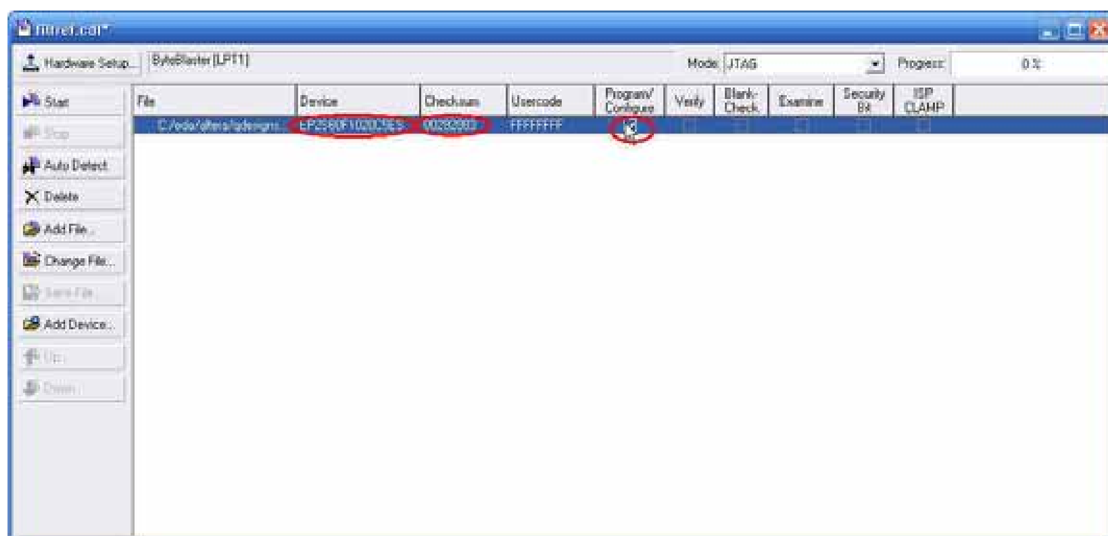
3. 從 Add File 加入檔案。



4. 選擇要進行燒錄的檔案（*.SOF）。

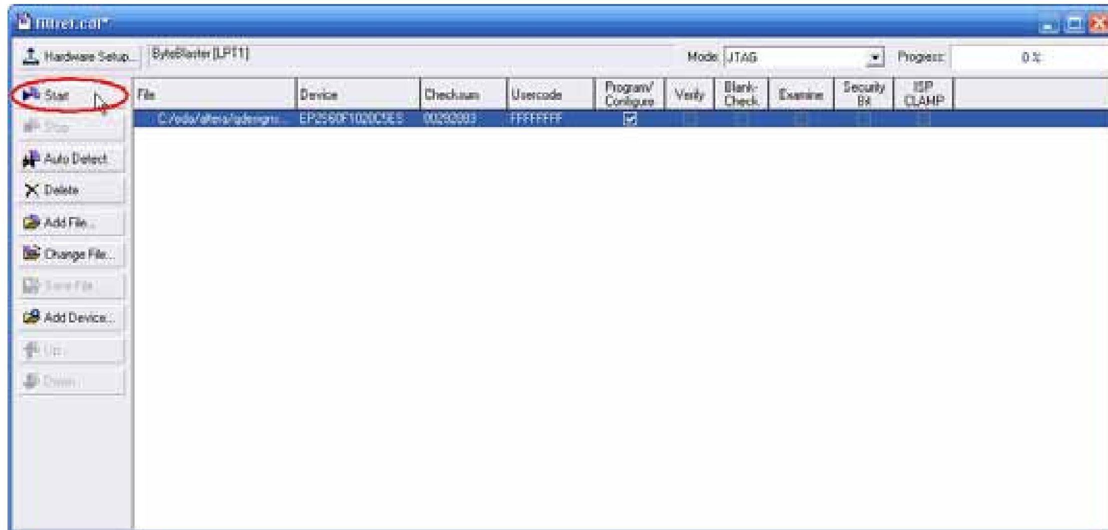


5. 確定 Checksum 和 Device 及點選 Program/configure。



6. 使用Download Cable進行電腦與本研發電路板的JTAG Header連接[3]，完成後，進行將Power Cable供電給本研發電路板後，按Start按鈕。

[3] 可參照 2.7，JTAG Heard位置。



7. 待 Progress 至 100%後，JTAG Down Load 流程即完成。



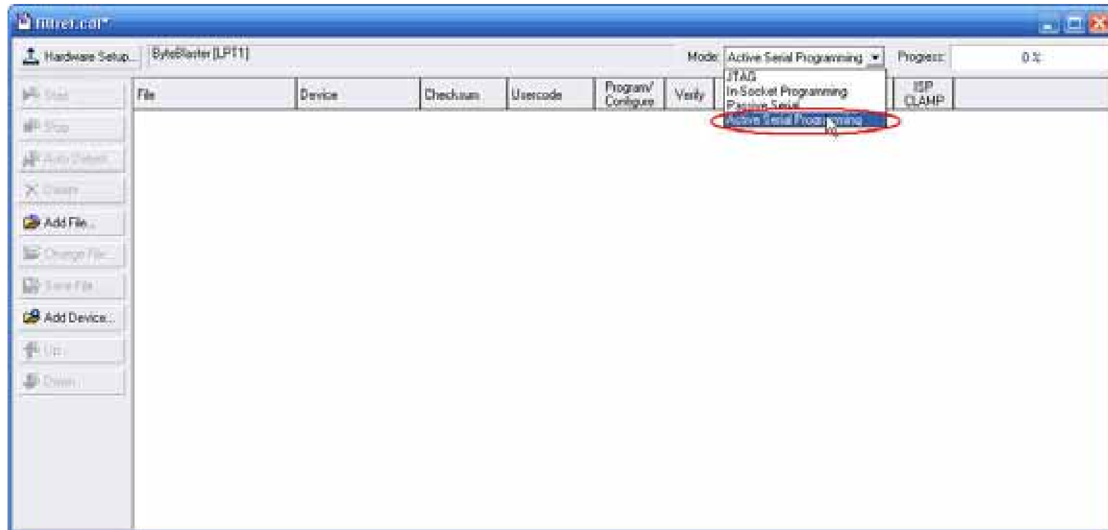
8. 最後可以 Double Check 訊息視窗，是否有"Successfully performed operation(s)"，如有紅色的 Error 或 Warring 產生，需要再做一次完整流程。



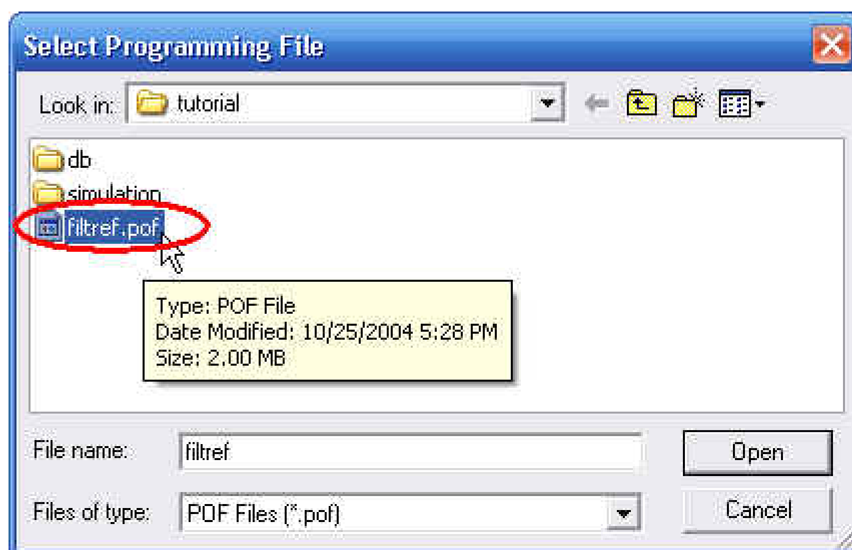
3.3.4. Active Serial Programming (AS)

本研發電路板使用 Active Serial Programming (AS)模式燒錄 Serial Configuration Device (EPCS64SI16N)，Serial Configuration Device 一經燒錄後，即會在每次實驗板電源啟動後，自動規劃 Altera Stratix II Device Family。

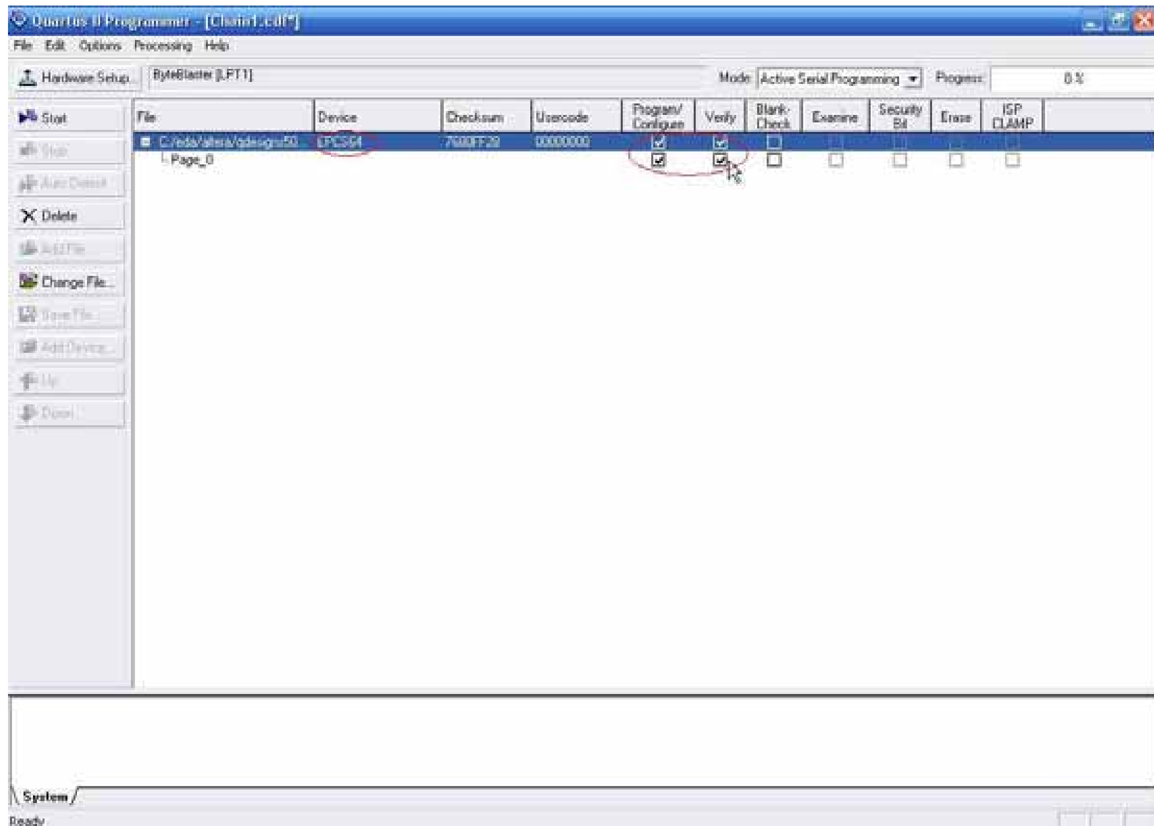
1. 選擇 Active Serial Programming Mode。如 Hardware Setup 為 No Hardware 時，需要重新進行 3.3.1 硬體設定中步驟。



2. 選擇要燒錄進去 Serial EPROM 的燒錄檔（*.POF）。



3. 確定 Device，Checksum 和 Program/Configure 是正確及打勾。





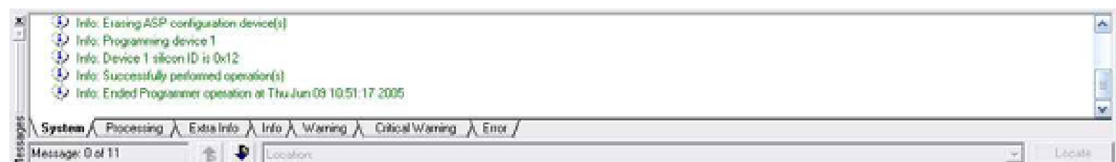
4. 使用Download Cable進行電腦與本研發電路板的AS Header連接[4]，完成後，進行將Power Cable供電給本研發電路板後，按Start按鈕。



5. 待 Progress 至 100%後，JTAG Down Load 流程即完成。



6. 最後可以 Double Check 訊息視窗，是否有”Successfully performed operation(s)”，如有紅色的 Error 或 Warring 產生，需要再做一次完整流程。



[4] 可參照 2.6，AS Header位置。

4. 附錄

4.1.Byteblaster MV/II 在 Windows 2K/XP 安裝指南

如果在 Programmer 進行 Hardwar Step 時，如果無法找到任何硬體，則需要使用下列步驟進行手動安裝。

1. Support version :
   - Maxplus2 9.6 or later
   - Quartus 2000.03 or later

2. Drivers path :
   - Maxplus2 <Maxplus2 install path >\Drivers\win2000\
     Default path=c:\maxplus2\drivers\win2000
   - Quartus <Quartus install path>\Drivers\win2000
     Default path=c:\Altera\QuartusXX\drivers\win2000

3. 安裝程序
   - 到控制台



   - 選取安裝、移除、及硬體疑難排解

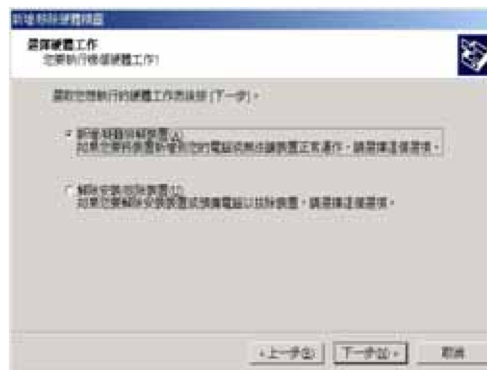


   - 選取下一步





■ 選取新增/疑難排解裝置後選擇下一步



■ 選取新增一項裝置



■ 選取否，我要從清單中選取硬體



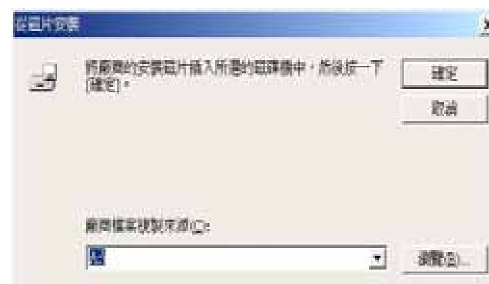
■ 選取音效，視訊及遊戲控制器



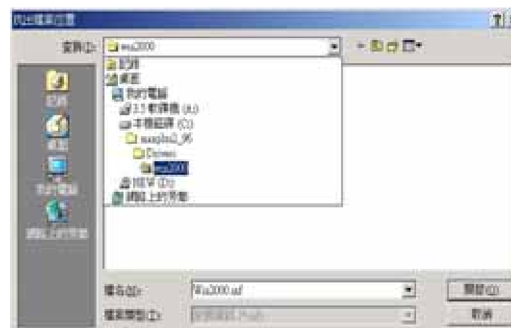
■ 選取從磁片安裝



■ 選取瀏覽

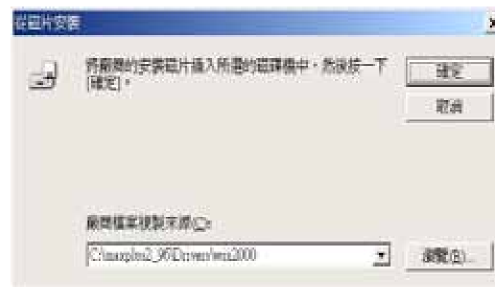


■ 找出檔案位置後，選取開啟



■ 選取確定





■ 選取是



■ 選取 Altera Byte-blaster



■ 選取是



■ 選取下一步





■ 選取完成



■ 選擇重新啟動電腦

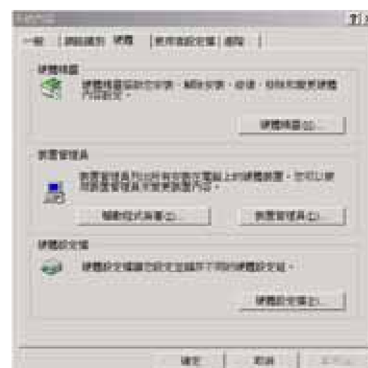


4. 確定是否安裝成功

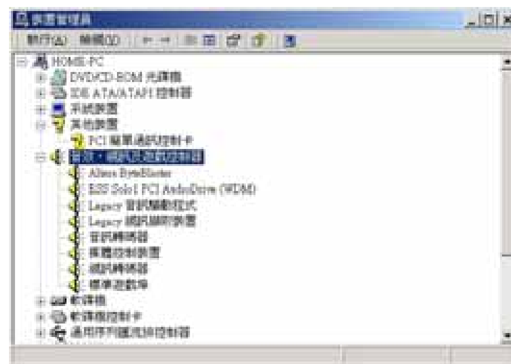
■ 到桌面上 選取我的電腦按滑鼠右鍵 選取 內容



■ 選取 硬體下的裝置管理員



■ 選取音效，視訊及遊戲控制器



- Altera Byteblaster 如有出現在上面，則表示安裝成功!!

4.2.Microsoft Window XP SP2 相容性問題修正方法

如果使用者在微軟 Window XP 中，先安裝 Quartus II 軟體後，再行安裝微軟 Windows XP SP2 的軟體時，須要重新安裝 Byte-blaster 的驅動程式，才可以再使用 Programmer 進行程式 Download 至硬體。其重新安裝方式如下：

```
Cd altera\quartusXX\drivers\i386
Bblpt.exe /r                    —removes the ByteBlaster driver
Bblpt /i                        —reinstalls the ByteBlaster driver
Net start ALTERABYTEBLASTER
```

4.3.USB Blaster Driver Installation

使用USB Blaster時，須先安裝USB Blaster的驅動程式。其所須的驅動程式，皆置於Quartus II安裝預設的目錄中。詳細USB Blaster的規格，可由茂綸或Altera網站查詢。

- Quartus <Quartus install path>\Drivers\usb-blaster
  Default path=c:\Altera\QuartusXX\drivers\usb-blaster

1. 當 USB Blaster 插入 USB 擴充槽後，Windows 會自動跳出”新增一項硬體”。在視窗中選擇“從清單中手動選取的硬體(進階選項)”後，選擇下一步。



2. 選擇”在這些位置中搜尋最好的驅動程式”中的”搜尋包這個位置”，使用瀏覽去找 USB-Blaster 驅動程式所在位置，如果為預設目錄時，亦可直接輸入”C:\altera\quartus50\drivers\usb-blaster”後，進行一下步。



3. 選擇 Altera USB-Blaster 後，下一步。



4. 選擇”繼續安裝”按鈕，繼續安裝 Altera USB-Blaster 驅動程式。



5. 完成 Altera USB-Blaster 的安裝程序。


Found New Hardware Wizard
Completing the Found New Hardware Wizard
The wizard has finished installing the software for:
Altera USB-Blaster
Click Finish to close the wizard.
< Back
Finish
Cancel

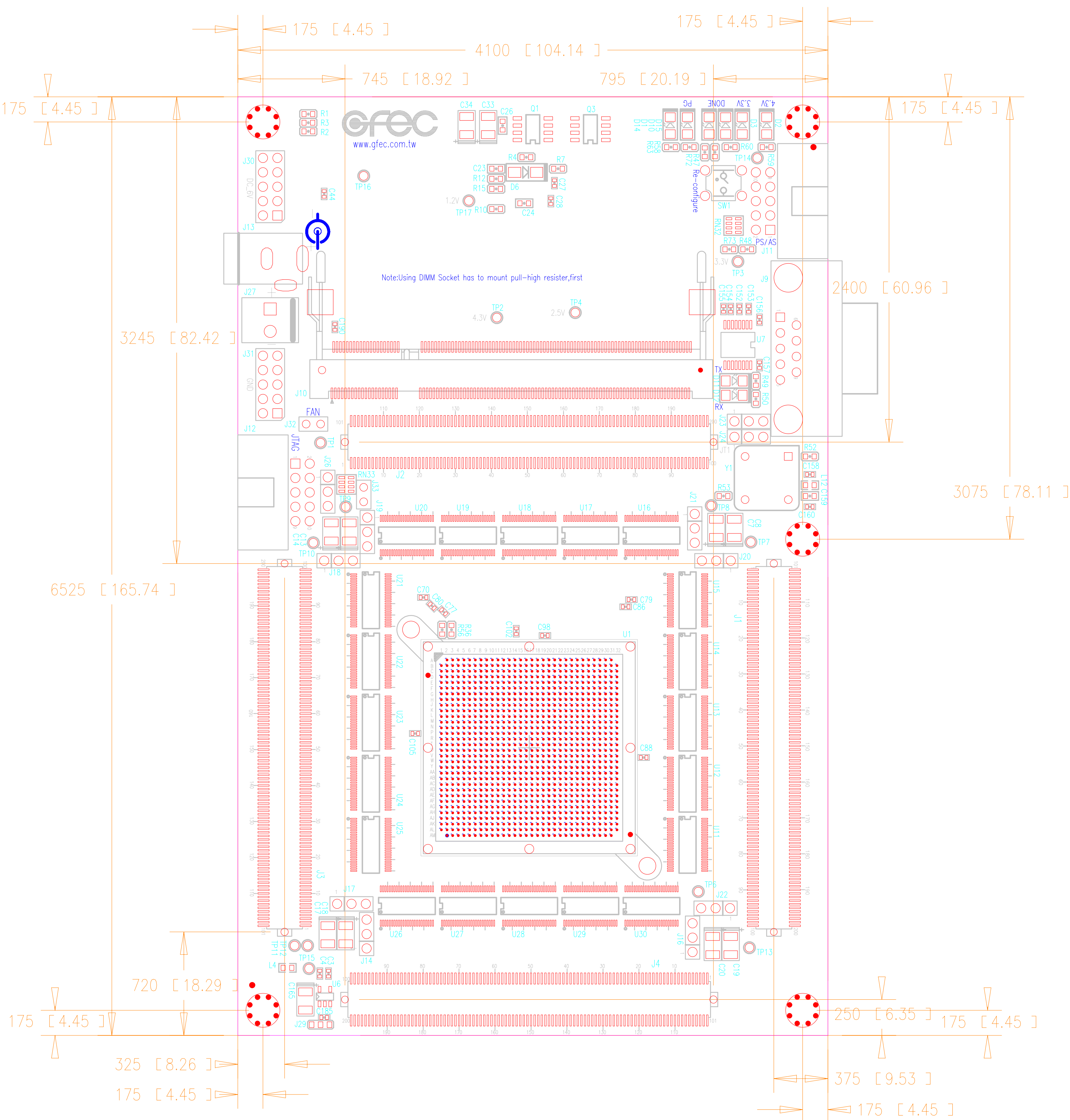

Stratix II

4.4.尺寸圖









175 [4.45]
4100 [104.14]
745 [18.92]
795 [20.19]
3245 [82.42]
6525 [165.74]
2400 [60.96]
3075 [78.11]
720 [18.29]
250 [6.35]
325 [8.26]
375 [9.53]
www.gfec.com.tw
Note:Using DIMM Socket has to mount pull-high resister,first
Re-configure
FAN
JTAG

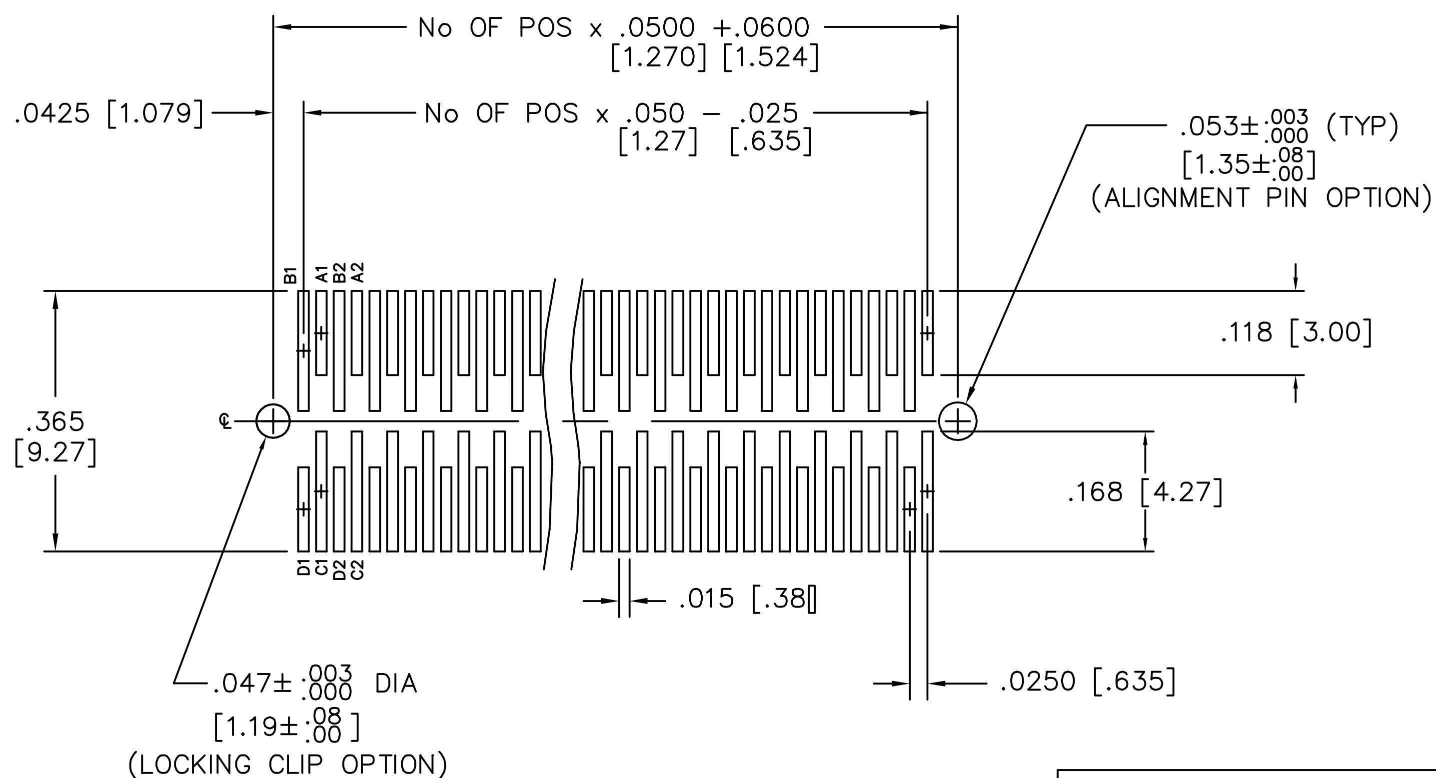
4.5.Recommend Layout Footprint






RECOMMENDED BOARD LAYOUT FOR TOLC

REV. D



PLOT SCALE: 1 = .25

samtec

810 PROGRESS BLVD. NEW ALBANY, INDIANA 47150
PHONE (812) 944-6733 P.O. BOX 1147

M:\DWG\MISC\MKTG\TOLC

REV. AF

TABLE 1

LEAD STYLE	"A"	USE TERMINAL	SEE FIG	BOARD SPACE WHEN MATED WITH SOLC
-02	.2200 [5.588]	T-1M13-01-X-2	1	.2500 [6.350]
-12	.2850 [7.239]	T-1M14-02-X-2	2	.3150 [8.000]
-22	.3637 [9.238]	T-1M14-03-X-2	2	.3937 [10.000]
-32	.4424 [11.237]	T-1M14-04-X-2	2	.4724 [12.000]

UNLESS OTHERWISE NOTED DIMENSIONS ARE IN INCHES TOLERANCES ARE:
ONE PLACE DECIMALS ± .1 TWO PLACE DECIMALS ± .01 THREE PLACE DECIMALS ± .005 FOUR PLACE DECIMALS ± .0020 ANGLES ±5°

TITLE: QUAD ROW STAGGERED SMT TERMINAL ASSEMBLY

DWG NO: TOLC-1XX-XX-X-Q-XX SHEET 1 OF 2

TOLC-1XX-XX-X-Q-XX

No OF POSITIONS
-05, -10, -15, -20, -25
-30, -35, -40, -45, -50
(PER ROW)

LEAD STYLE
(SEE TABLE 1)
-02
-12
-22
-32

PLATING SPEC
-F: SELECTIVE FLASH GOLD .000003 GOLD ON CONTACT AREA, GOLD FLASH ON TAIL (SEE NOTE 3)
-L: SELECTIVE LIGHT GOLD .000010 GOLD ON CONTACT AREA, GOLD FLASH ON TAIL (SEE NOTE 3)
-S: SELECTIVE GOLD .000030 GOLD ON CONTACT AREA, GOLD FLASH ON TAIL

ROW SPEC
-Q: QUAD (USE TOLC-XX-Q)

OPTIONS
-LC: LOCKING CLIP (USE LC-09-T)
-P: PICK & PLACE PAD **(EXISTING CUSTOMER SUPPORT ONLY)** (USE MPP-16,)
-TR: TAPE & REEL
-A: ALIGNMENT PIN (USE TOLC-XX-Q-A FOR STYLE -02 AND TOLCH-XX-Q-A FOR STYLES -12, -22 & -32)
-PL: PLASTIC PICK & PLACE PAD (USE ASP-90590-01-S)
-K: POLYMIDE FILM PAD (.005 [.13] THICK W/SILICON ADHESIVE) (USE K-850-650)

-PL OPTION
PICK & PLACE PAD

"S" = (# OF POS x .050 [1.27]) + .100 [2.54]
"R" = ("S"/2) - .1125 [2.858]

-K OPTION
PICK & PLACE PAD

"S" = (# OF POS x .050 [1.27]) + .100 [2.54]
"R" = ("S"/2) - (.354/2) [9.00/.079]

-P OPTION
PICK & PLACE PAD
(EXISTING CUSTOMER SUPPORT ONLY) AC

"S" = (# OF POS x .050 [1.27]) + .100 [2.54]
"R" = ("S"/2) - .1125 [2.858]

DO NOT SCALE FROM THIS PRINT

NOTE:
1. MINIMUM PUSHOUT FORCE: .5 LB.
2. PARTS TO BE PACKAGED IN TUBES.
3. -S PLATING CAN BE SUBSTITUTED FOR -L AND -F PLATING STYLES.
4. © REPRESENTS A CRITICAL DIMENSION.

-LC & -A OPTION: LEAD STYLE -02 SHOWN

MATERIAL:
BODY: LIQUID CRYSTAL POLYMER COLOR: BLACK
TERMINAL: PHOSPHOR BRONZE

MISC\MKTG TOLC-MKT

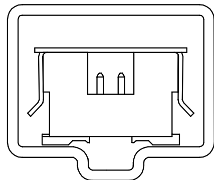
samtec
520 PARK EAST BLVD. NEW ALBANY, INDIANA 47150
PHONE (812) 944-6733 P.O. BOX 1147
CODE 55322

MADE BY: D PURVIS 03-18-96

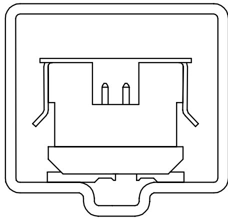
TOLC-1XX-XX-X-Q-XX SHEET 1 OF 2

REV. AF

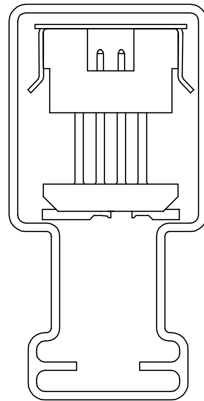
PACKAGING VIEWS



−12
PT−1−24−02−70 TUBE
TP−03 PLUG



−22
PT−1−24−01−70 TUBE
TP−29 PLUG



−32
PT−1−24−01−44 TUBE
TP−03 PLUG

TABLE 2

LEAD STYLE	OPTIONS	PACKAGING TUBE	PLUG
−02/−12	ALL	PT−1−24−02−70	TP−03
−22	ALL	PT−1−24−01−70	TP−29
−32	ALL	PT−1−24−01−44	TP−03

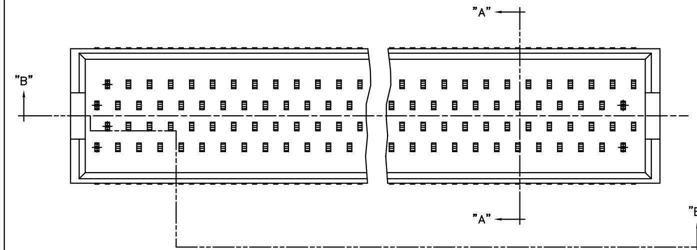
UNLESS OTHERWISE NOTED
DIMENSIONS ARE IN INCHES — TOLERANCES ARE:

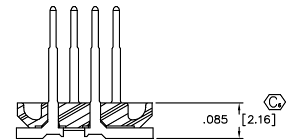
ONE PLACE DECIMALS ± .1	THREE PLACE DECIMALS ± .005	ANGLES ± 5°
TWO PLACE DECIMALS ± .01	FOUR PLACE DECIMALS ± .0020	

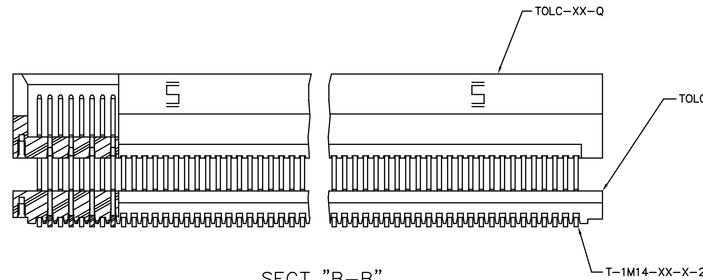
TITLE: QUAD ROW STAGGERED SMT TERMINAL ASSEMBLY

DWG NO: TOLC−1XX−XX−X−Q−XX

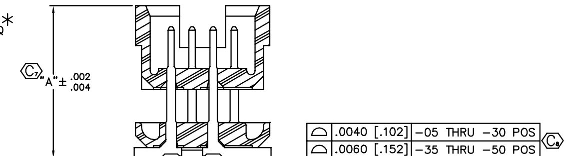
SHEET 2 OF 2







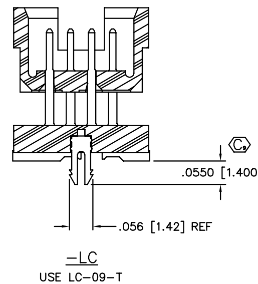
SECT "B−B"



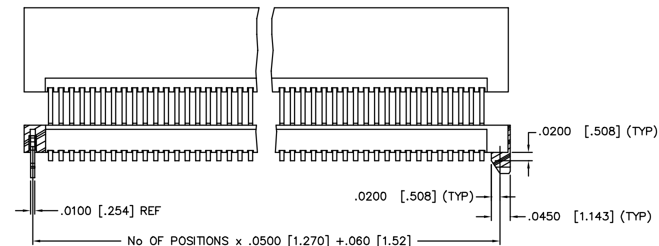
SECT "A−A"

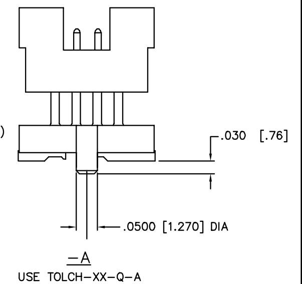
FIG. 2

OPTION: STYLE −12, −22 & −32



−LC
USE LC−09−T





−A
USE TOLCH−XX−Q−A

* −TOLCH BODY IN THIS VIEW REFLECTS ALTERNATE STANDOFF DESIGN.

PLOT SCALE 1=.1

MISC\MKTG TOLCMKT2

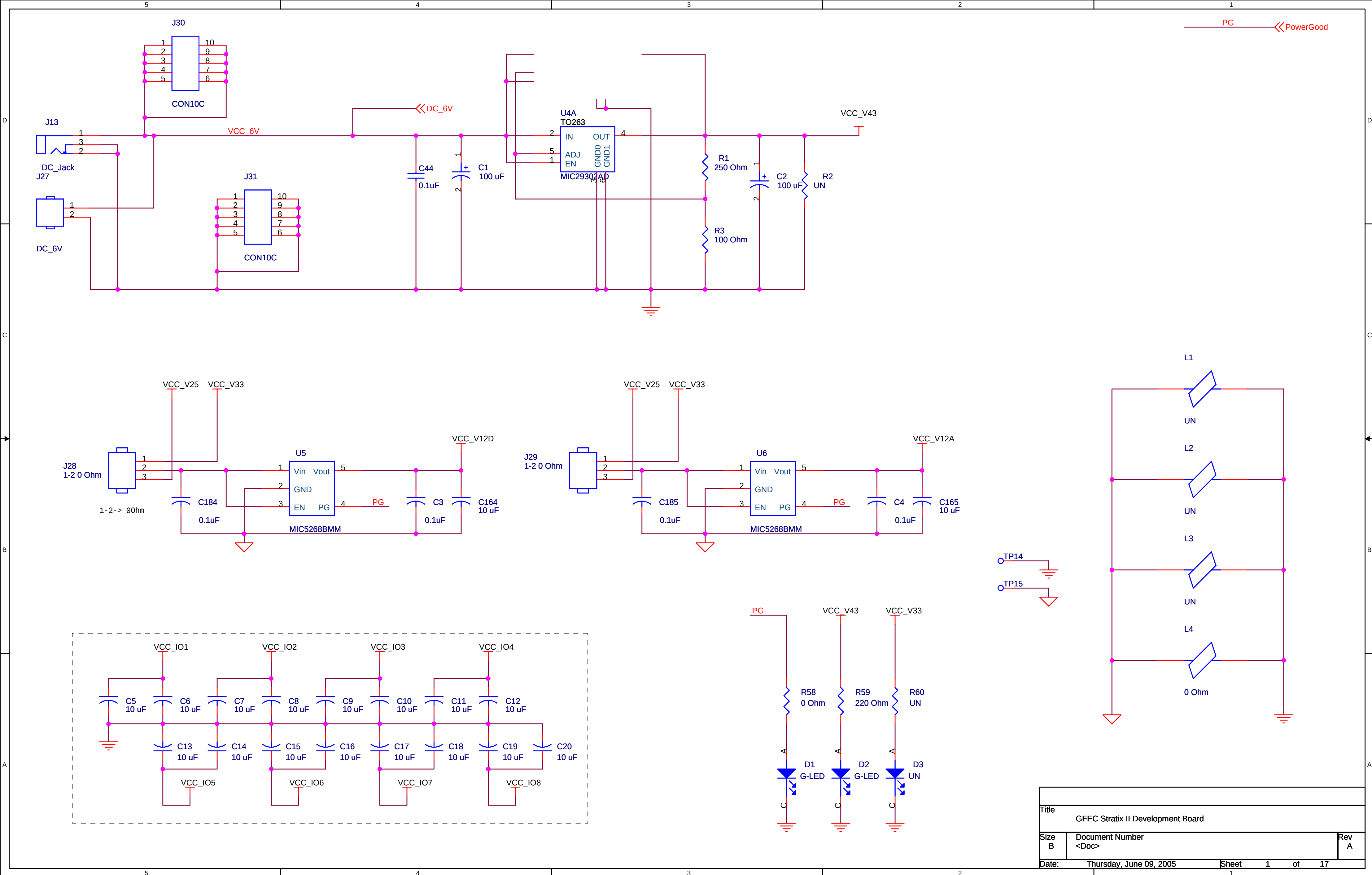
samtec
520 PARK EAST BLVD. NEW ALBANY, INDIANA 47150
PHONE (812) 944−6733 P.O. BOX 1147
CODE 55322

MADE BY: D PURVIS 12−03−96

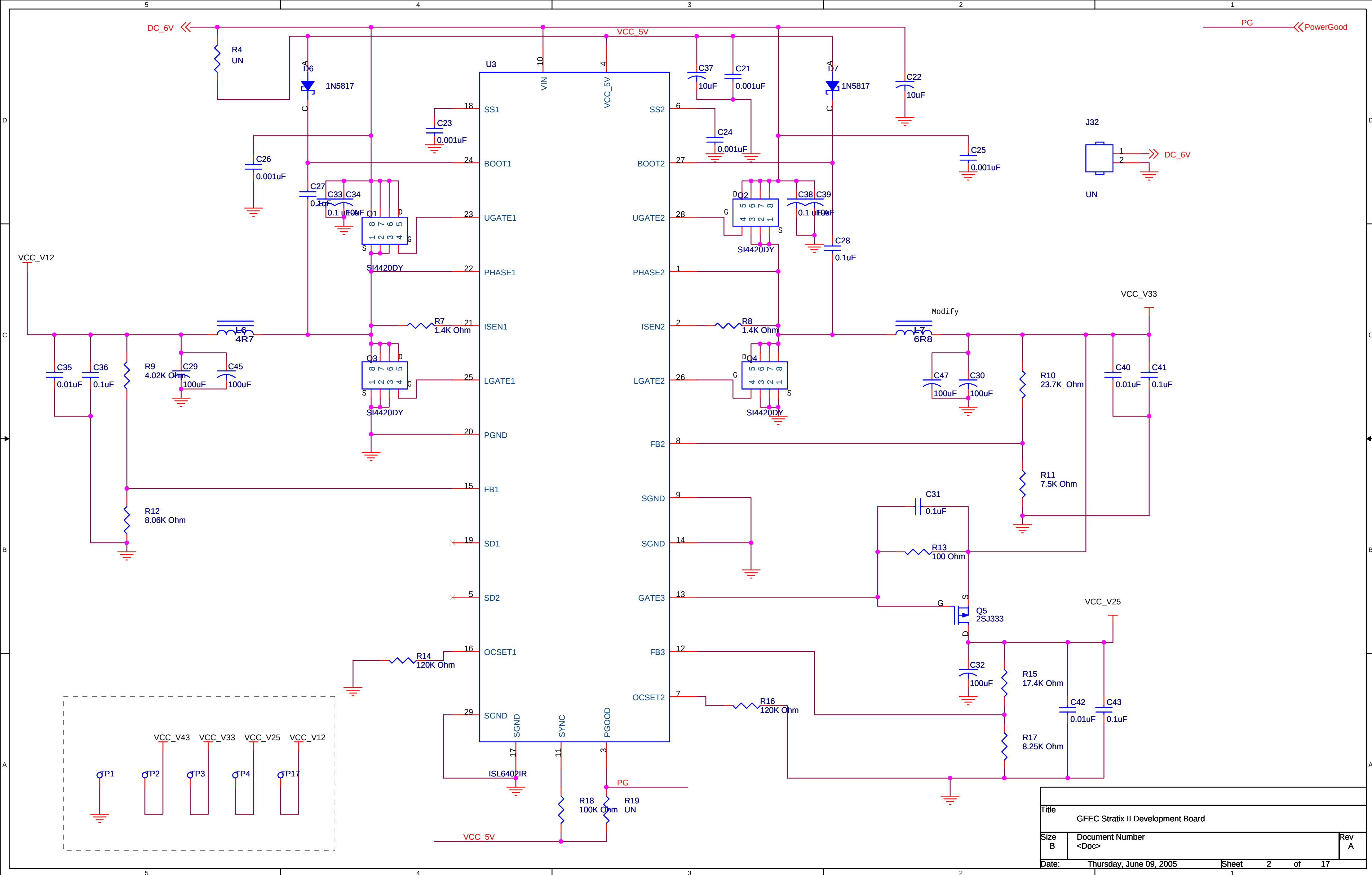
TOLC−1XX−XX−X−Q−XX
SHEET 2 OF 2

4.6.電路圖

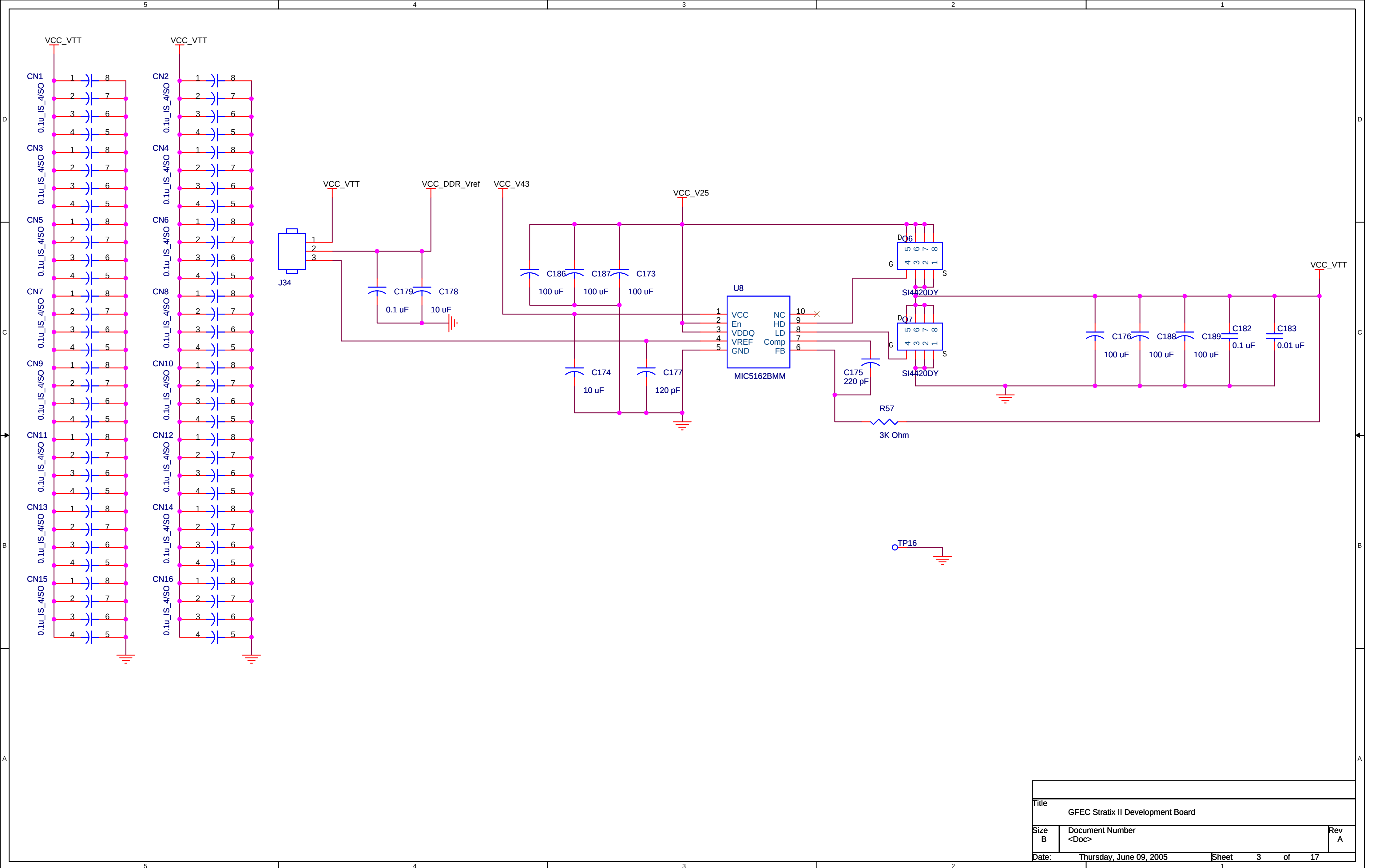




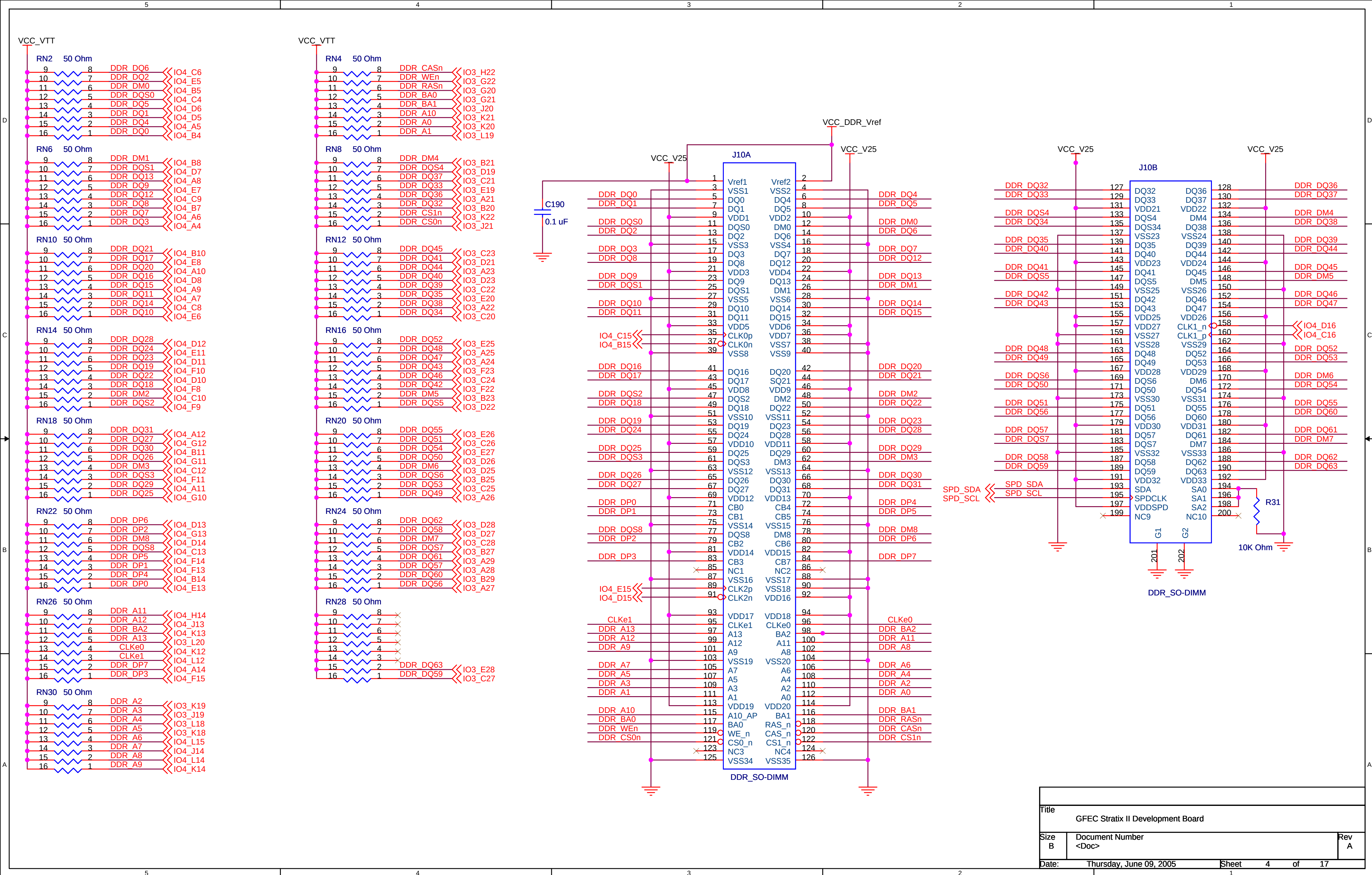
J30
CON10C
J13
DC_Jack
J27
DC_6V
VCC_6V
DC_6V
J31
CON10C
C44
0.1uF
C1
100 uF
U4A
TO263
IN
OUT
ADJ
EN
GND0
GND1
MIC29302AD
R1
250 Ohm
R3
100 Ohm
C2
100 uF
R2
UN
VCC_V43
PG
PowerGood
L1
UN
L2
UN
L3
UN
L4
0 Ohm
VCC_V25
VCC_V33
J28
1-2 0 Ohm
1-2-> 0Ohm
C184
0.1uF
U5
Vin
Vout
GND
EN
PG
MIC5268BMM
VCC_V12D
C3
0.1uF
C164
10 uF
J29
1-2 0 Ohm
C185
0.1uF
U6
MIC5268BMM
VCC_V12A
C4
0.1uF
C165
10 uF
TP14
TP15
VCC_IO1
VCC_IO2
VCC_IO3
VCC_IO4
C5 10 uF
C6 10 uF
C7 10 uF
C8 10 uF
C9 10 uF
C10 10 uF
C11 10 uF
C12 10 uF
C13 10 uF
C14 10 uF
C15 10 uF
C16 10 uF
C17 10 uF
C18 10 uF
C19 10 uF
C20 10 uF
VCC_IO5
VCC_IO6
VCC_IO7
VCC_IO8
PG
VCC_V43
VCC_V33
R58
0 Ohm
R59
220 Ohm
R60
UN
D1
G-LED
D2
G-LED
D3
UN
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 1 of 17

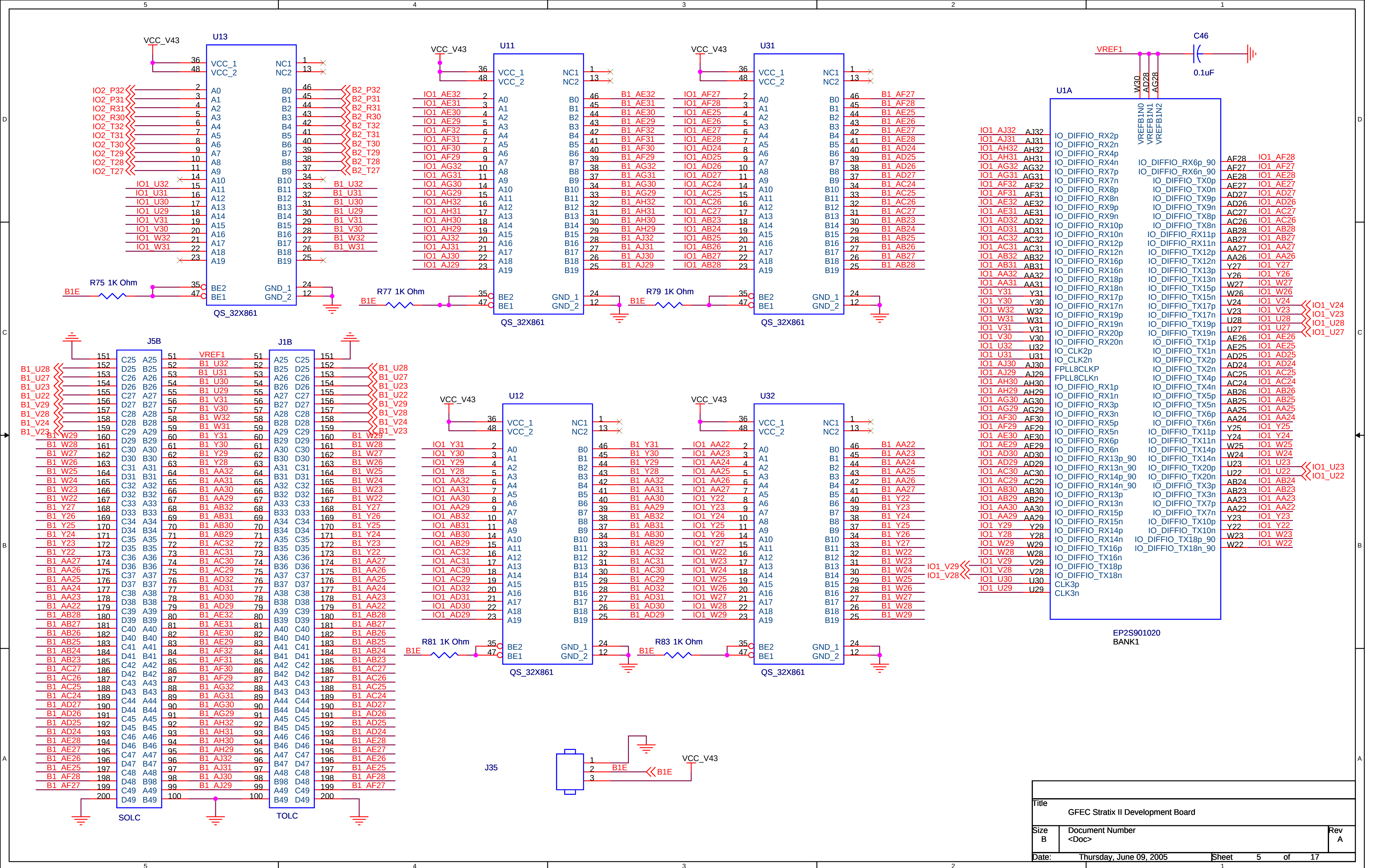


DC_6V
VCC_5V
PG
PowerGood
R4
UN
D6
1N5817
D7
1N5817
U3
VIN
VCC_5V
SS1
SS2
BOOT1
BOOT2
UGATE1
UGATE2
PHASE1
PHASE2
ISEN1
ISEN2
LGATE1
LGATE2
PGND
FB2
FB1
SGND
SD1
SD2
GATE3
OCSET1
FB3
OCSET2
SYNC
PGOOD
ISL6402IR
C37 10uF
C21 0.001uF
C22 10uF
C23 0.001uF
C24 0.001uF
C25 0.001uF
C26 0.001uF
C27 0.1uF
C33 C34 0.1 uF 10uF
C38 C39 0.1 uF 10uF
C28 0.1uF
Q1 SI4420DY
Q2 SI4420DY
Q3 SI4420DY
Q4 SI4420DY
J32
UN
VCC_V12
VCC_V33
Modify
L6 4R7
L7 6R8
R7 1.4K Ohm
R8 1.4K Ohm
C35 0.01uF
C36 0.1uF
R9 4.02K Ohm
C29 100uF
C45 100uF
C47 100uF
C30 100uF
R10 23.7K Ohm
C40 0.01uF
C41 0.1uF
R11 7.5K Ohm
C31 0.1uF
R12 8.06K Ohm
R13 100 Ohm
Q5 2SJ333
VCC_V25
R14 120K Ohm
C32 100uF
R15 17.4K Ohm
C42 0.01uF
C43 0.1uF
R16 120K Ohm
R17 8.25K Ohm
R18 100K Ohm
R19 UN
VCC_V43
TP1
TP2
TP3
TP4
TP17
Title
GFEC Stratix II Development Board
Size B
Document Number <Doc>
Rev A
Date: Thursday, June 09, 2005
Sheet 2 of 17

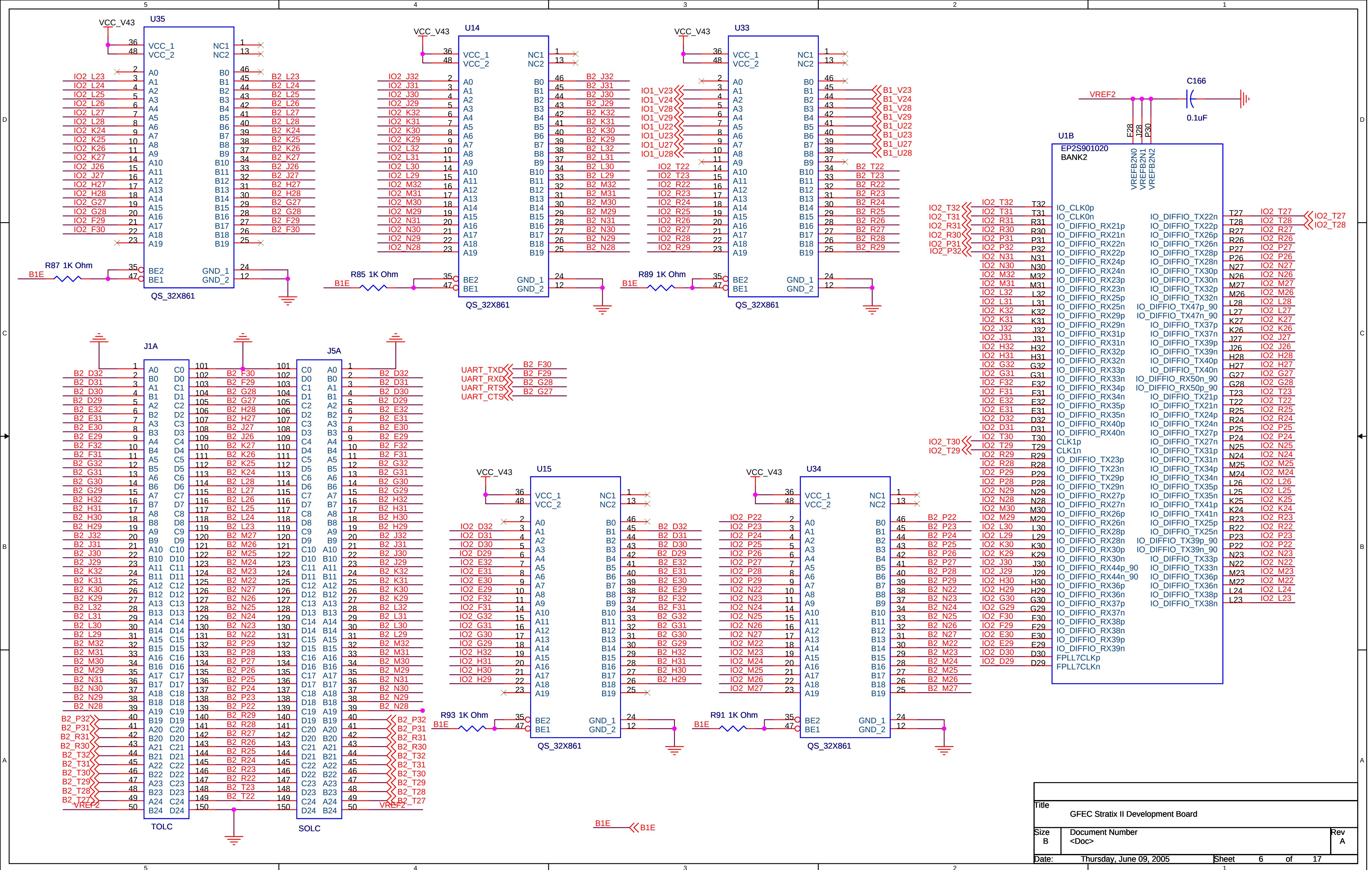


Title	GFEC Stratix II Development Board		
Size B	Document Number <Doc>		Rev A
Date: Thursday, June 09, 2005	Sheet 3 of 17		

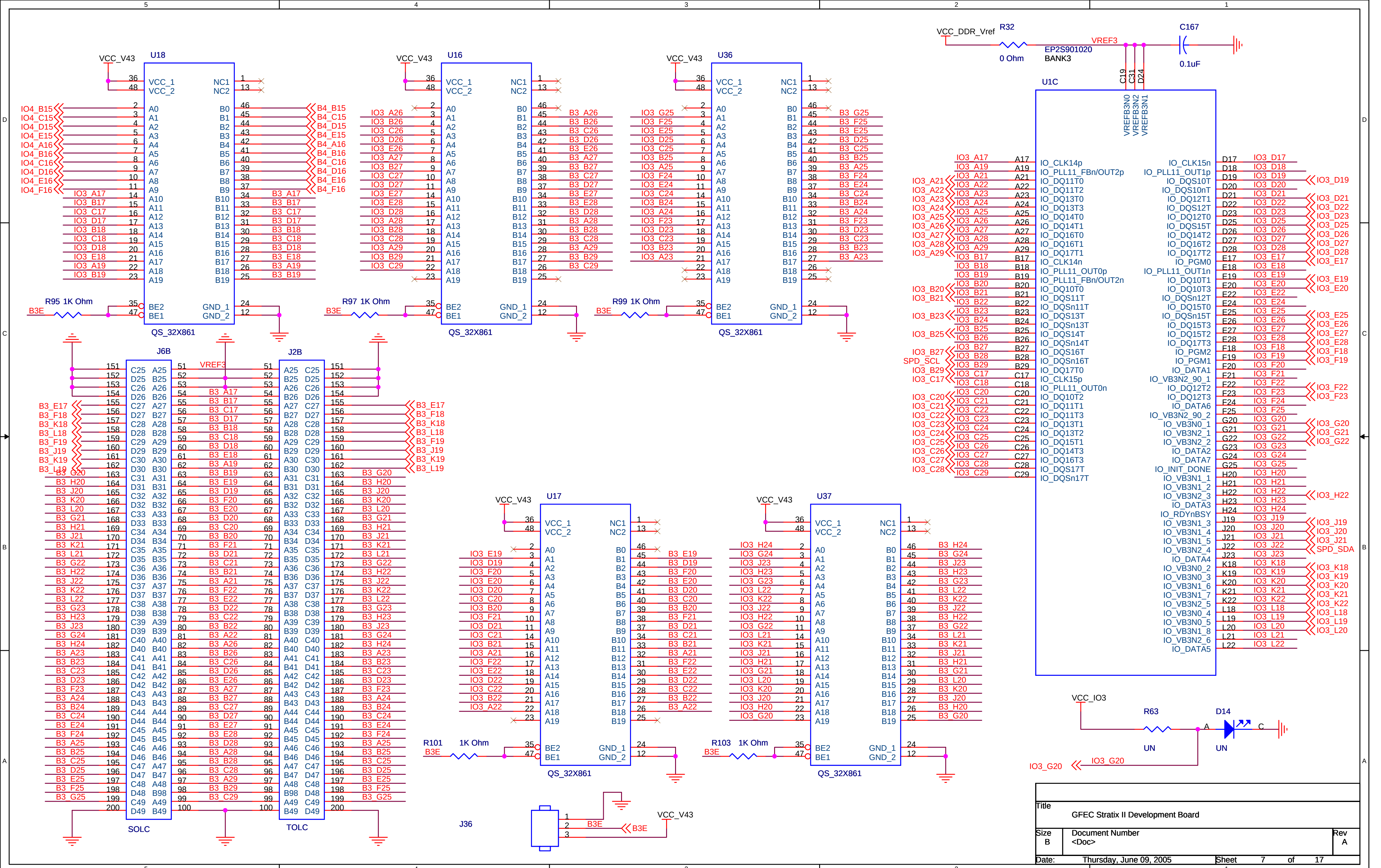

VCC_VTT
RN2 50 Ohm
RN4 50 Ohm
RN6 50 Ohm
RN8 50 Ohm
RN10 50 Ohm
RN12 50 Ohm
RN14 50 Ohm
RN16 50 Ohm
RN18 50 Ohm
RN20 50 Ohm
RN22 50 Ohm
RN24 50 Ohm
RN26 50 Ohm
RN28 50 Ohm
RN30 50 Ohm
VCC_DDR_Vref
VCC_V25
C190
0.1 uF
J10A
J10B
DDR_SO-DIMM
SPD_SDA
SPD_SCL
R31
10K Ohm
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 4 of 17



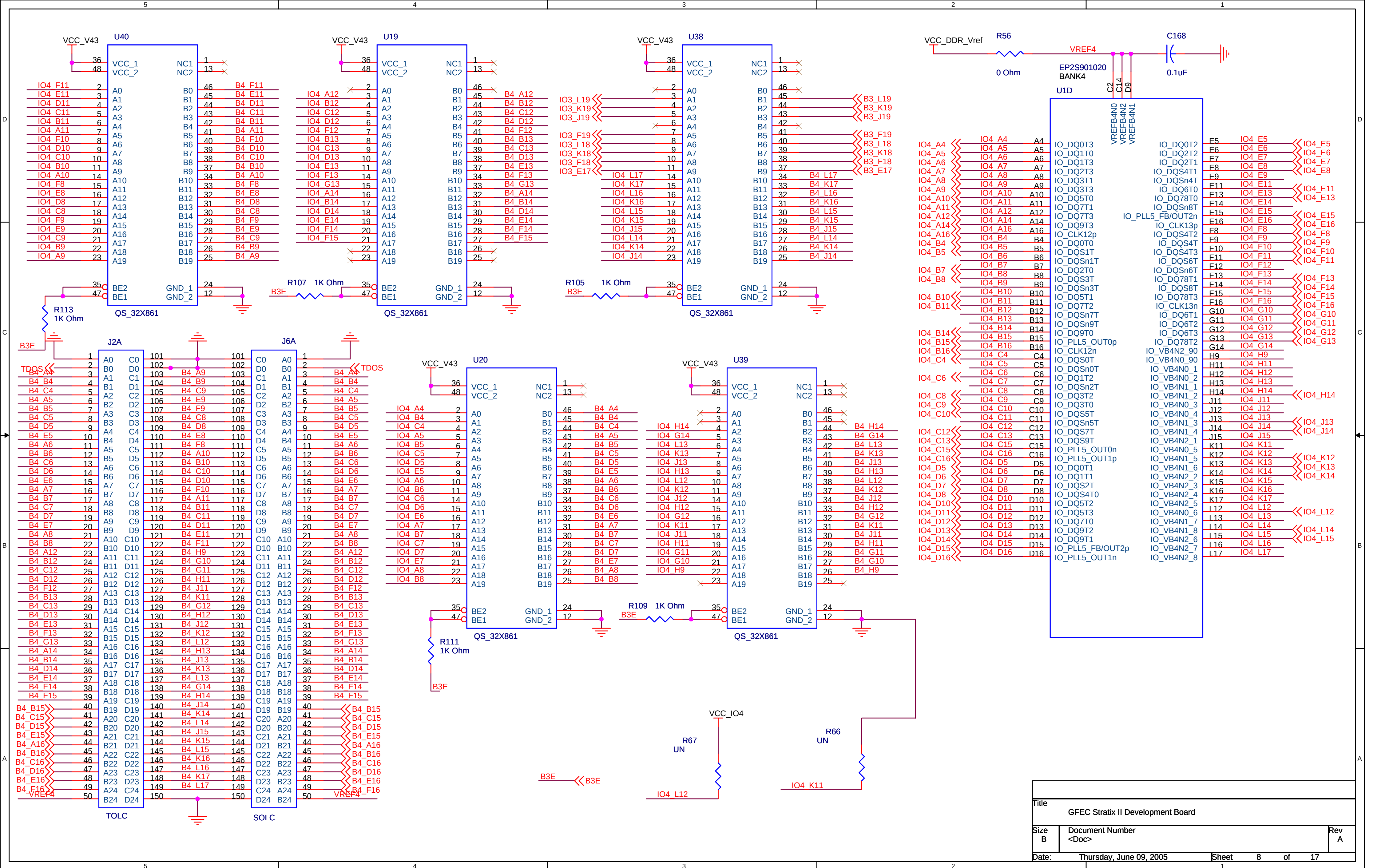
VCC_V43
U13
QS_32X861
U11
QS_32X861
U31
QS_32X861
R75 1K Ohm
R77 1K Ohm
R79 1K Ohm
B1E
C46
0.1uF
VREF1
U1A
VREFB1N0
VREFB1N1
VREFB1N2
EP2S90F1020
BANK1
J5B
SOLC
J1B
TOLC
U12
QS_32X861
U32
QS_32X861
R81 1K Ohm
R83 1K Ohm
J35
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 5 of 17



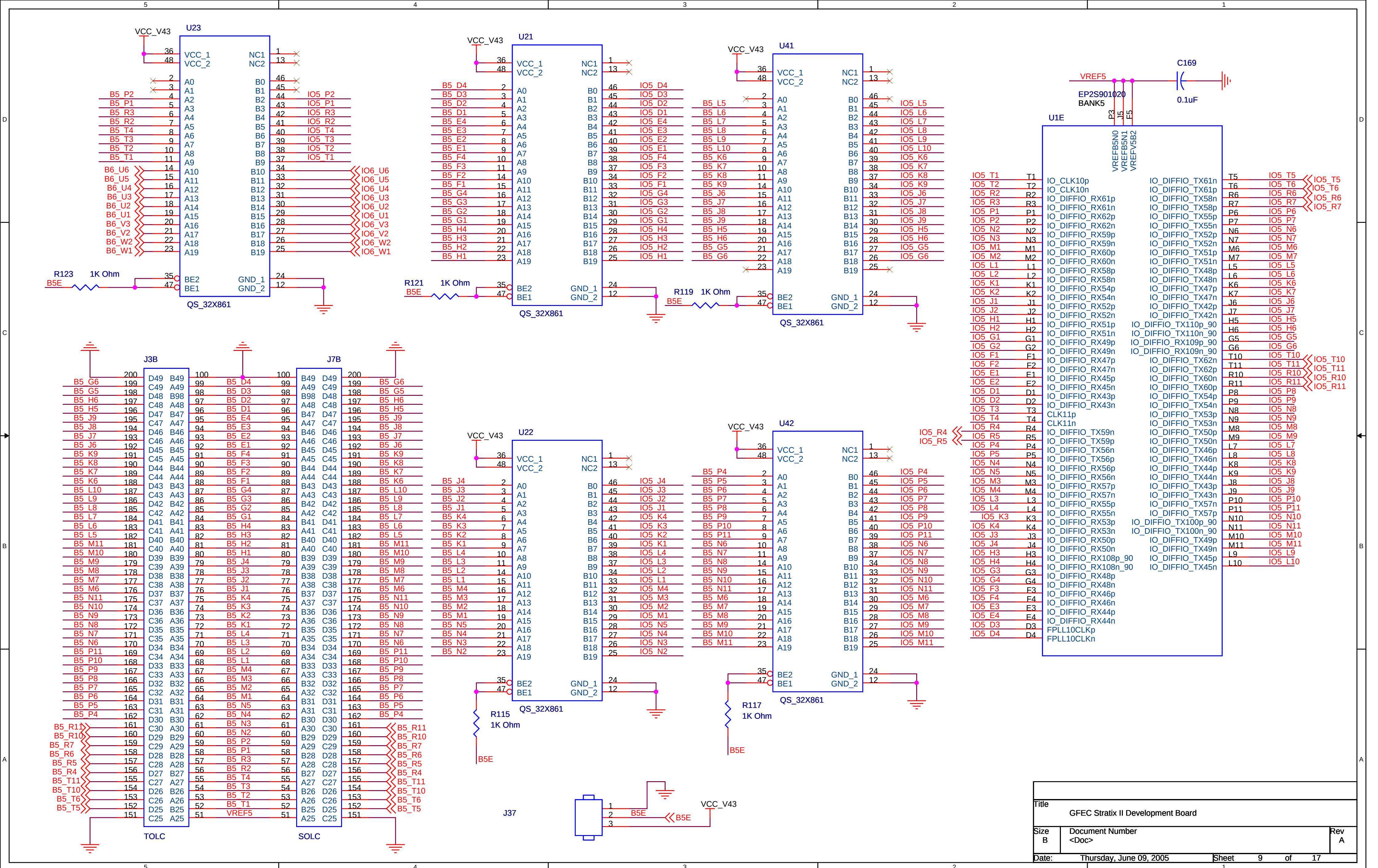
U35
U14
U33
U15
U34
QS_32X861
VCC_V43
R87 1K Ohm
R85 1K Ohm
R89 1K Ohm
R93 1K Ohm
R91 1K Ohm
B1E
J1A
J5A
TOLC
SOLC
UART_TXD
UART_RXD
UART_RTS
UART_CTS
C166
0.1uF
VREF2
U1B
EP2S90I020
BANK2
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 6 of 17



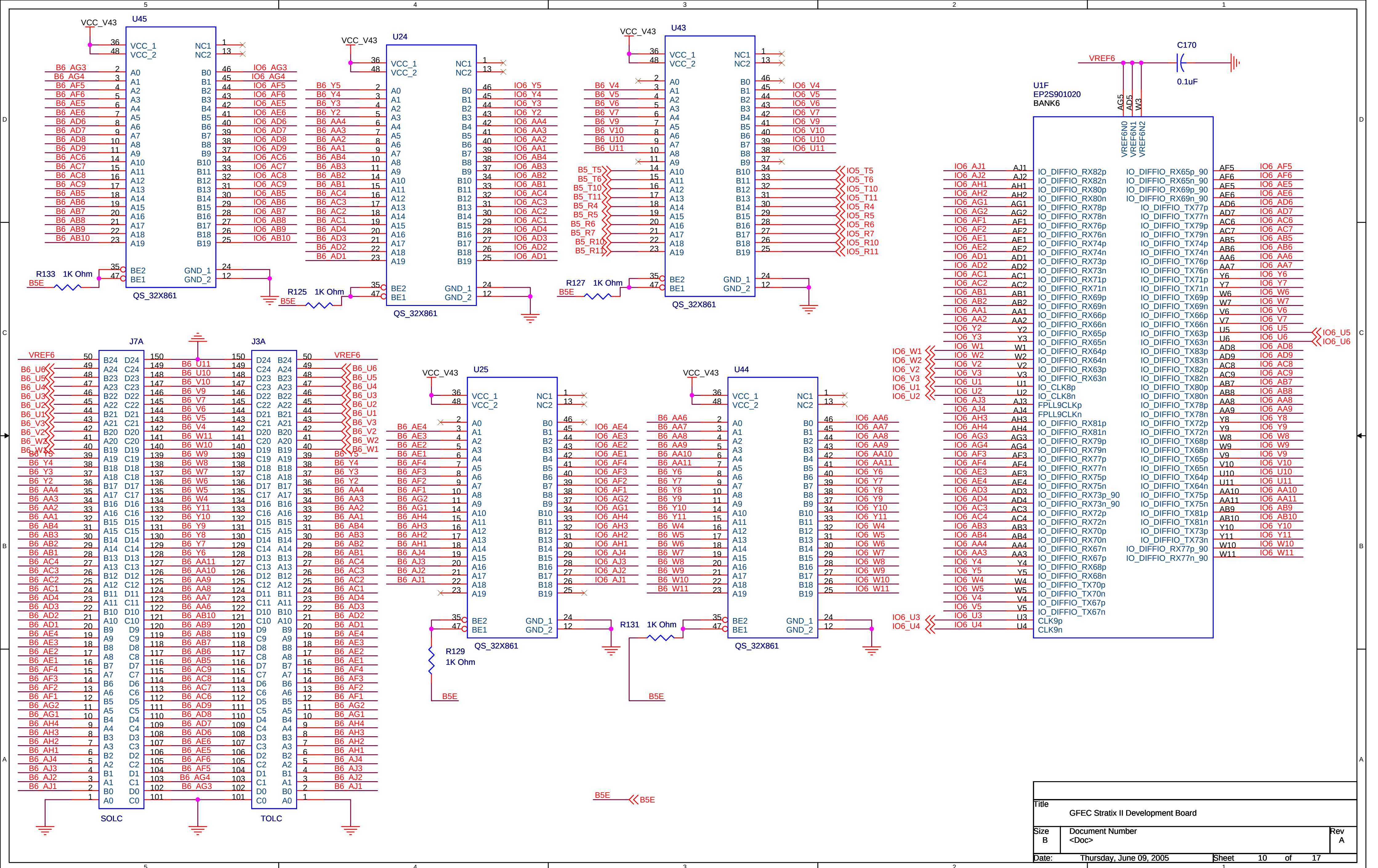
VCC_DDR_Vref
R32
0 Ohm
VREF3
C167
0.1uF
EP2S901020
BANK3
U1C
VREFB3N0
VREFB3N2
VREFB3N1
VCC_V43
U18
U16
U36
U17
U37
QS_32X861
R95 1K Ohm
R97 1K Ohm
R99 1K Ohm
R101
R103
1K Ohm
B3E
J6B
J2B
SOLC
TOLC
J36
VCC_IO3
R63
D14
UN
IO3_G20
SPD_SCL
SPD_SDA
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date:
Thursday, June 09, 2005
Sheet 7 of 17



U40
U19
U38
U20
U39
QS_32X861
VCC_V43
J2A
J6A
TOLC
SOLC
TDOS
B3E
VREF4
R113
R107
R105
R111
R109
1K Ohm
R56
0 Ohm
VCC_DDR_Vref
C168
0.1uF
EP2S901020
BANK4
U1D
VCC_IO4
R67
R66
UN
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 8 of 17

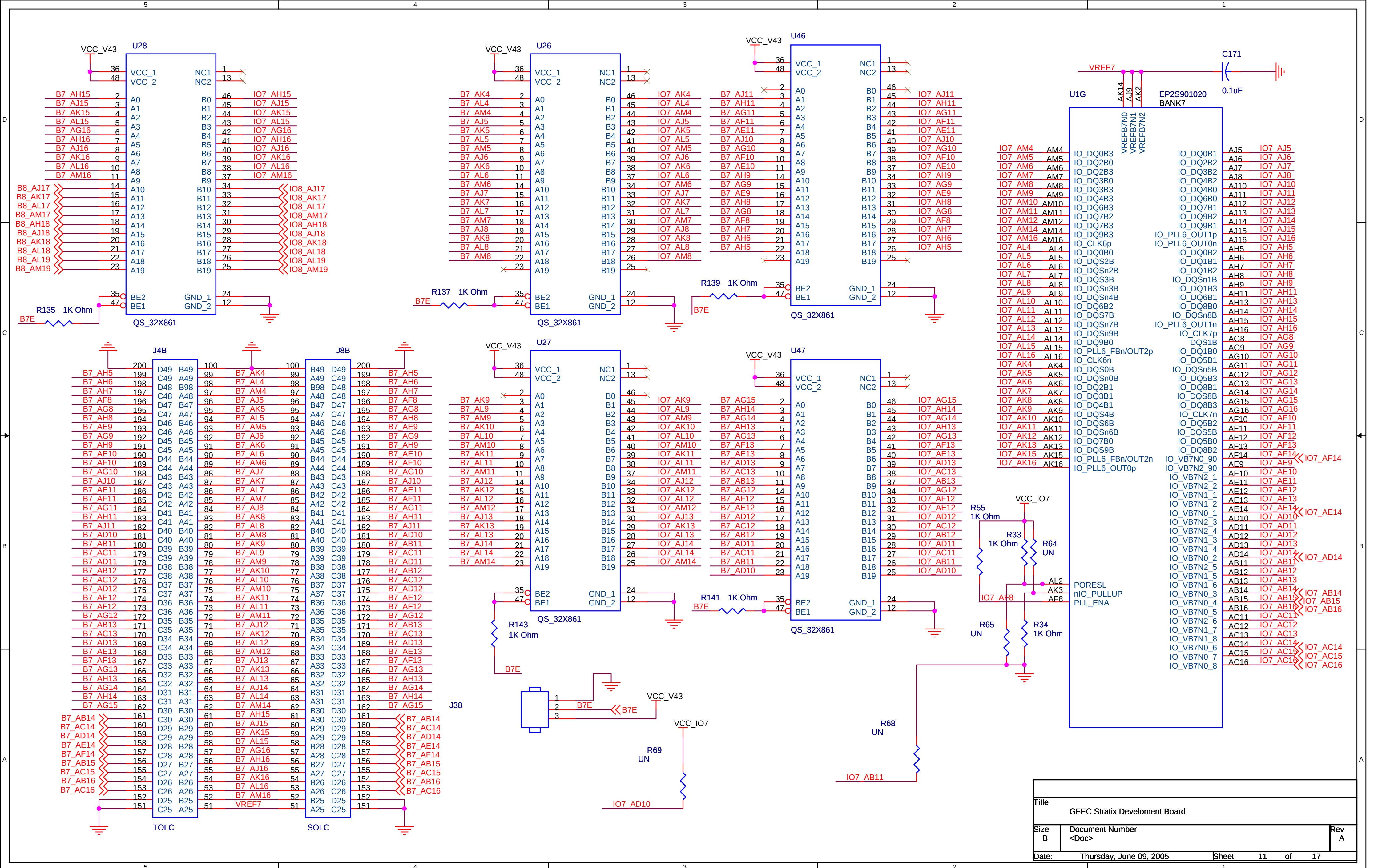


U23
QS_32X861
U21
QS_32X861
U41
QS_32X861
U22
QS_32X861
U42
QS_32X861
U1E
EP2S90I020
BANK5
C169
0.1uF
VREF5
VCC_V43
R123 1K Ohm
R121 1K Ohm
R119 1K Ohm
R115 1K Ohm
R117 1K Ohm
B5E
J3B
TOLC
J7B
SOLC
J37
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 9 of 17

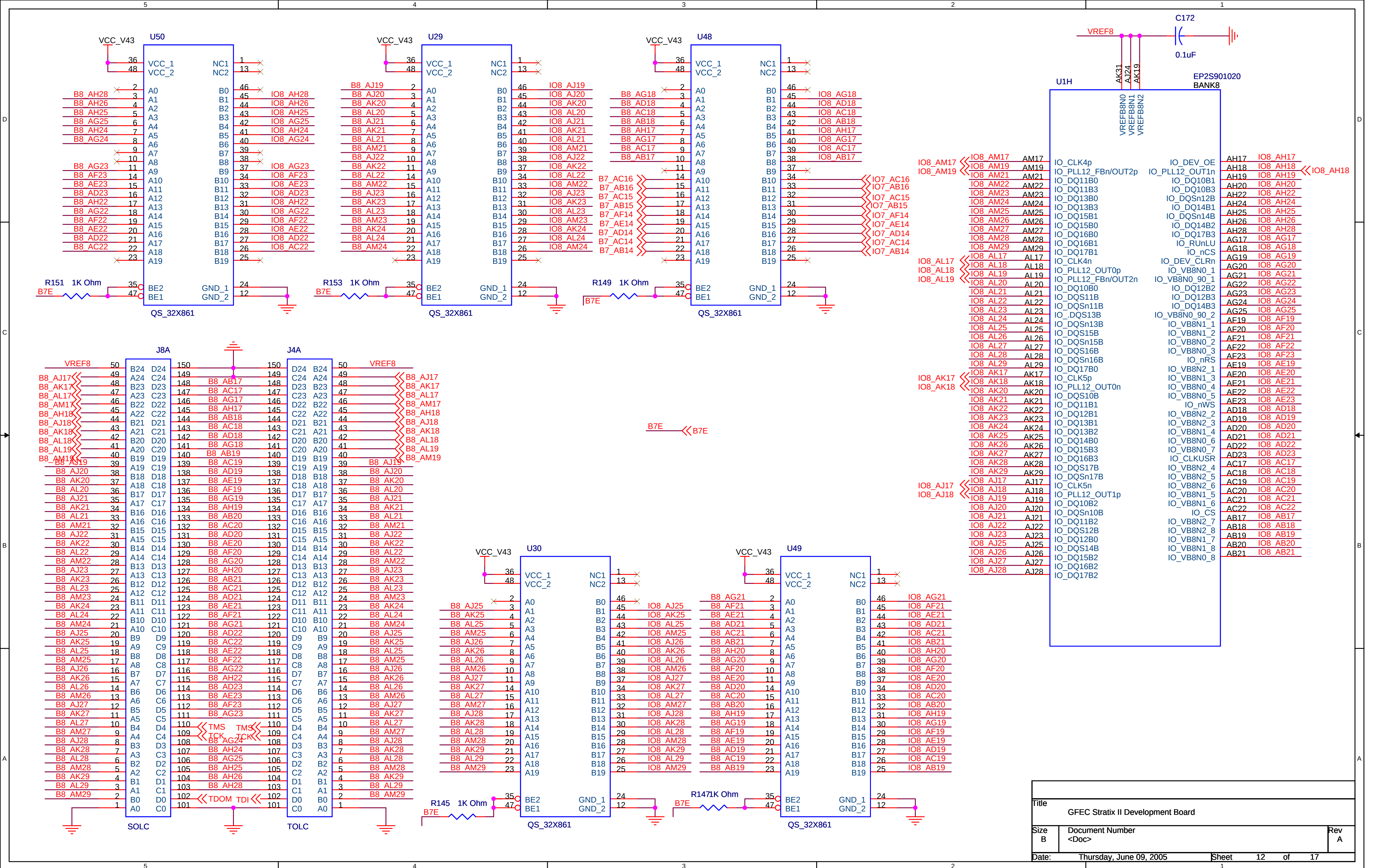


Title
GFEC Stratix II Development Board

Size B
Document Number <Doc>
Rev A
Date: Thursday, June 09, 2005
Sheet 10 of 17

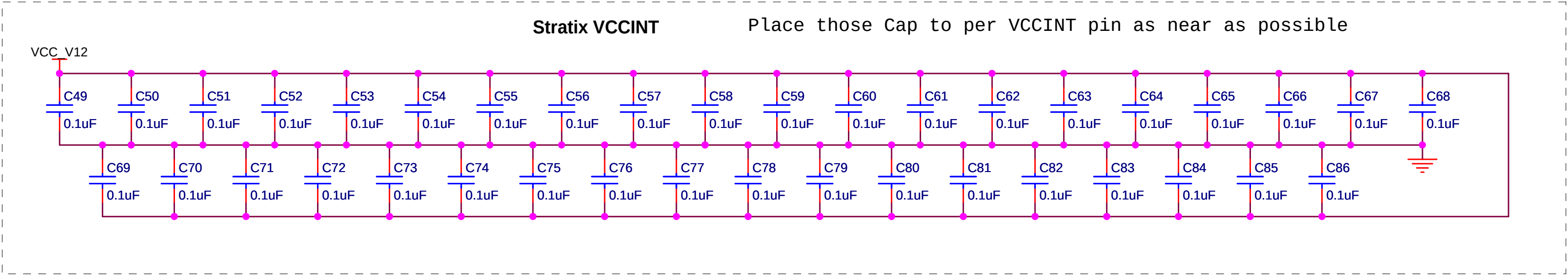


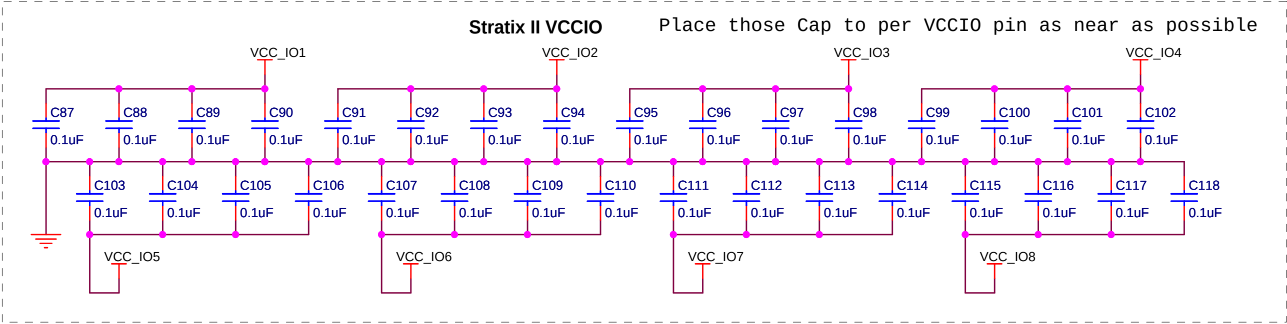
U28
U26
U46
U27
U47
U1G
EP2S90I020
BANK7
QS_32X861
J4B
J8B
J38
TOLC
SOLC
VCC_V43
VCC_IO7
VREF7
C171
0.1uF
R135 1K Ohm
R137 1K Ohm
R139 1K Ohm
R141 1K Ohm
R143 1K Ohm
R55 1K Ohm
R33 1K Ohm
R64 UN
R65 UN
R34 1K Ohm
R68 UN
R69 UN
B7E
IO7_AD10
IO7_AB11
IO7_AF8
PORESL
nIO_PULLUP
PLL_ENA
Title
GFEC Stratix Develoment Board
Size
B
Document Number
<Doc>
Rev
A
Date:
Thursday, June 09, 2005
Sheet
11
of
17

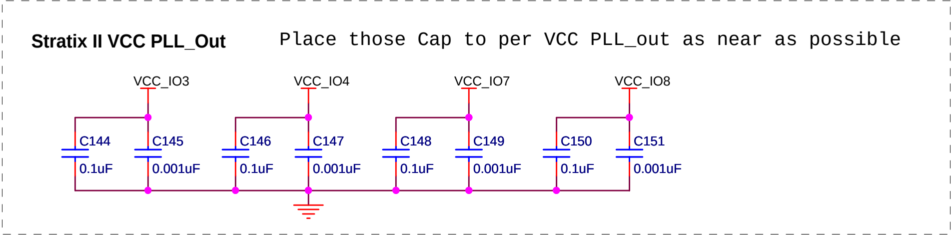


U50
QS_32X861
U29
QS_32X861
U48
QS_32X861
U30
QS_32X861
U49
QS_32X861
VCC_V43
R151 1K Ohm
R153 1K Ohm
R149 1K Ohm
R145 1K Ohm
R147 1K Ohm
B7E
C172
0.1uF
VREF8
U1H
EP2S901020
BANK8
J8A
J4A
SOLC
TOLC
TMS
TCK
TDOM
TDI
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 12 of 17

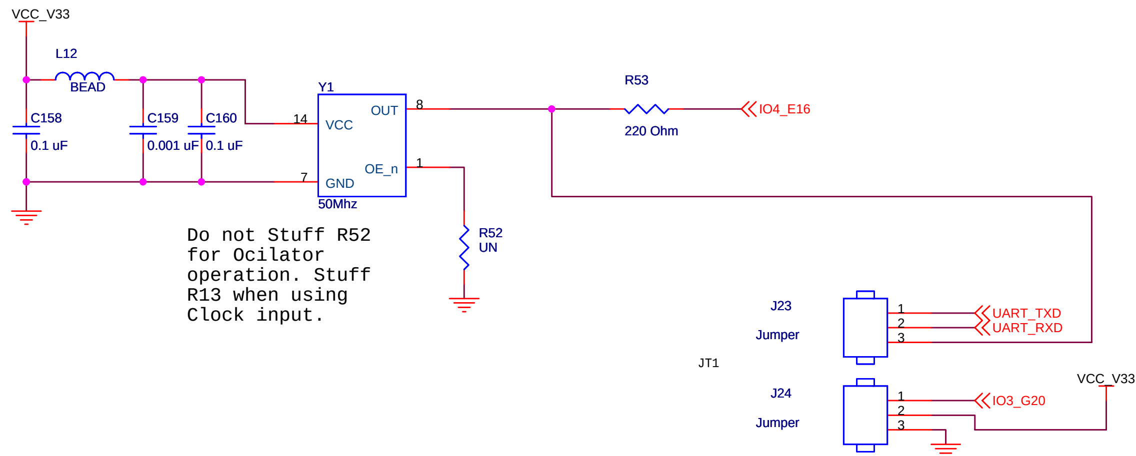
Stratix II Decoupling, VTT Regulators

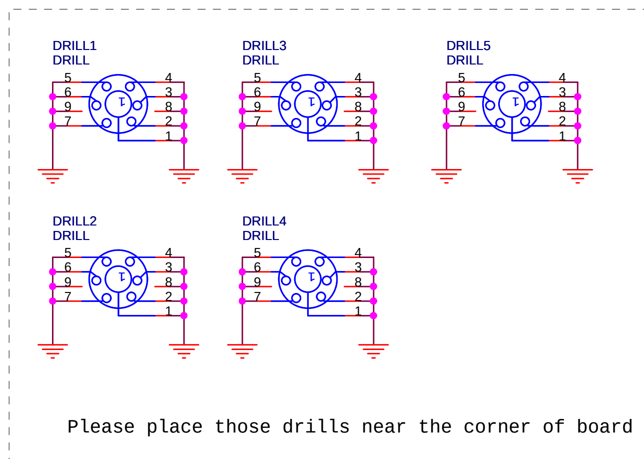






Title	GFEC Stratix II Development Board	
Size B	Document Number <Doc>	Rev A
Date: Thursday, June 09, 2005	Sheet 13 of 17	





Title: GFEC Stratix II Development Board

Size	Document Number	Rev
B	<Doc>	A

Date: Thursday, June 09, 2005 Sheet 14 of 17

VCC_V33

U2

EPCS64

C191 0.1 uF

C192 0.1 uF

C193 0.1 uF

R36 1K Ohm MSEL0

R38 1K Ohm MSEL1

R40 1K Ohm MSEL2

R41 1K Ohm MSEL3

J33 UN

R154 1K

EP2S901020 Configure U1I

TRST, VCCSEL, TMEPDIODEn, TMEPDIODEp, MSEL0, MSEL1, MSEL2, MSEL3, TDO, TDI, TCK, TMS, CONF_DONE, nCONFIG, nSTATUS, DCLK, nCE, DATA0, nCEO, ASDO, nCSO

PG PowerGood

R43 0 Ohm ASDI ASDO

R45 0 Ohm DATA DATA0 nSTATUS

J11 PS/AS

R71 220 Ohm

RN32 1K Ohm

SW1 PUSH BUTTOM

R70 0 Ohm PG

R47 220 Ohm

R48 220 Ohm

R73 0 Ohm CONF_DONE

R-LED D15

D10 G-LED

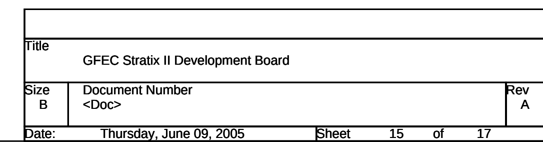
R72 0 Ohm nSTATUS

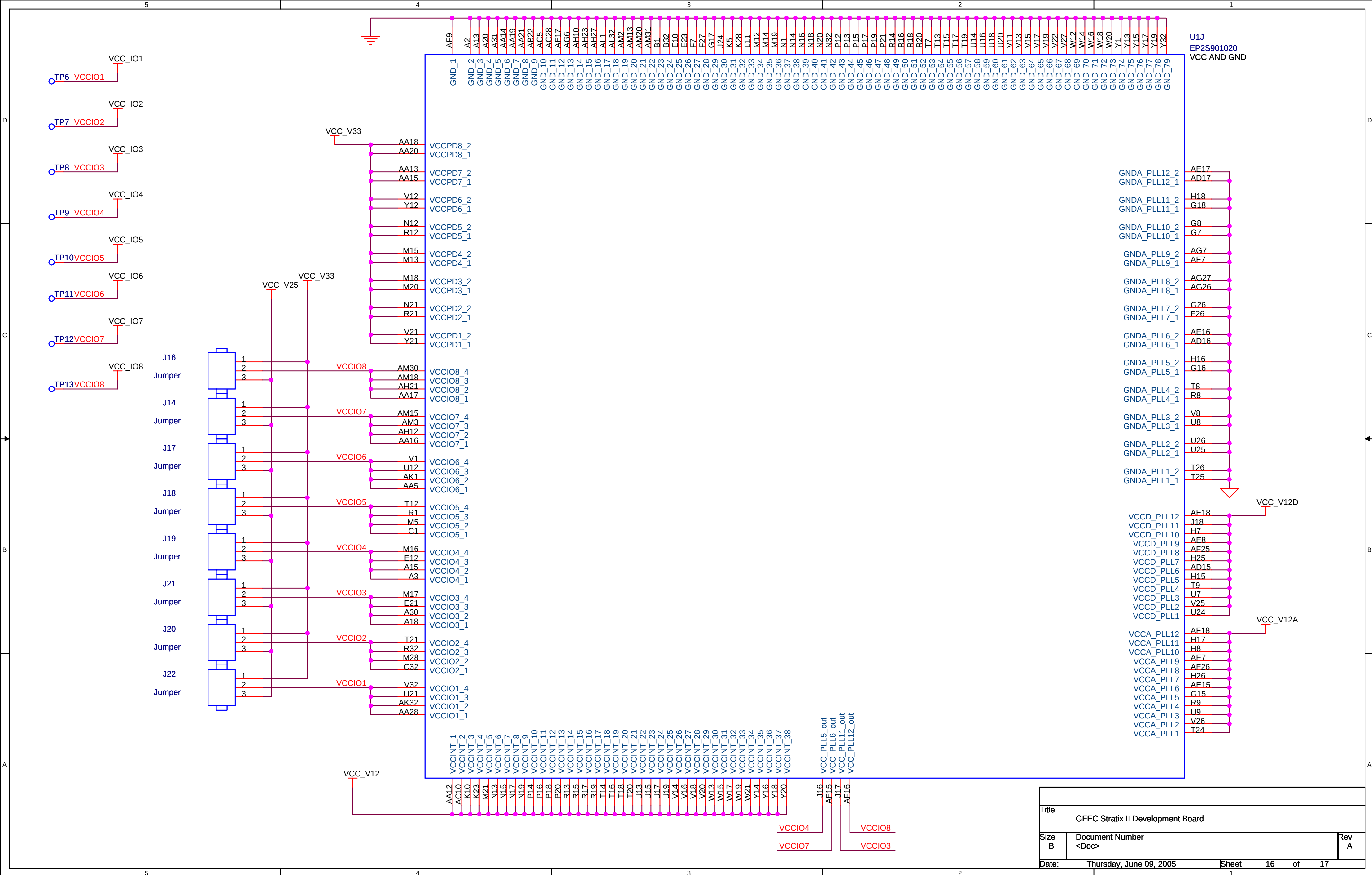
J12 JTAG

RN33 1K Ohm

J26 Jumper

TDOS TDO TDOM




U1J
EP2S901020
VCC AND GND
VCC_V33
VCC_V25
VCC_V12
VCC_V12D
VCC_V12A
Jumper
Title
GFEC Stratix II Development Board
Size
B
Document Number
<Doc>
Rev
A
Date: Thursday, June 09, 2005
Sheet 16 of 17

5 4 3 2 1

D

C152 0.1 uF
C153 0.1 uF

U7 ICL3232

1 C1+ | VCC 16
3 C1- | V+ 2
4 C2+ | V- 6
5 C2- | GND 15
11 TX1IN | TX1OUT 14
10 TX2IN | TX2OUT 7
12 RX1OUT | RX1IN 13
9 RX2OUT | RX2IN 8

UART_TXD — RS232A_TXD
UART_CTS — RS232A_CTS
UART_RXD — RS232A_RXD
UART_RTS — RS232A_RTS

VCC_V33

C154 0.1 uF
C155 0.1 uF
C156 0.1 uF
C157 0.1 uF

RS-232 Activity LEDs

TX

VCC_V33

R49 220 Ohm
RS232A_TXD
D11 G-LED C A

RX

R50 220 Ohm
RS232A_RXD
D12 G-LED C A

C

J9 DB9RF

RS232A1_CTS 8
RS232A1_RXD 3
RS232A1_RTS 7
RS232A1_TXD 2

5 9 4 6 1 10 11

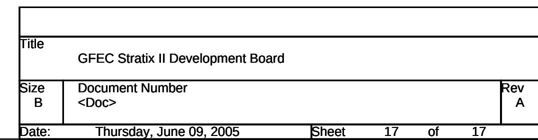
FEMALE

RS232 CONNECTOR

Channel A

B

A



5 4 3 2 1

4.7.I/O Buffer Spec





QUICKSWITCH® PRODUCTS HIGH-SPEED CMOS 20-BIT BUS SWITCH WITH FLOW-THRU PINOUT

IDTQS32X861

FEATURES:

- **Enhanced N channel FET with no inherent diode to Vcc**
- **5Ω bidirectional switches connect inputs to outputs**
- **Zero propagation delay, zero ground bounce**
- **Undershoot clamp diodes on all switch and control inputs**
- **Available in 48-pin QVSOP package**

APPLICATIONS:

- **Hot-swapping, hot-docking**
- **Voltage translation (5V to 3.3V)**
- **Power conservation**
- **Capacitance reduction and isolation**
- **Bus isolation**
- **Clock gating**

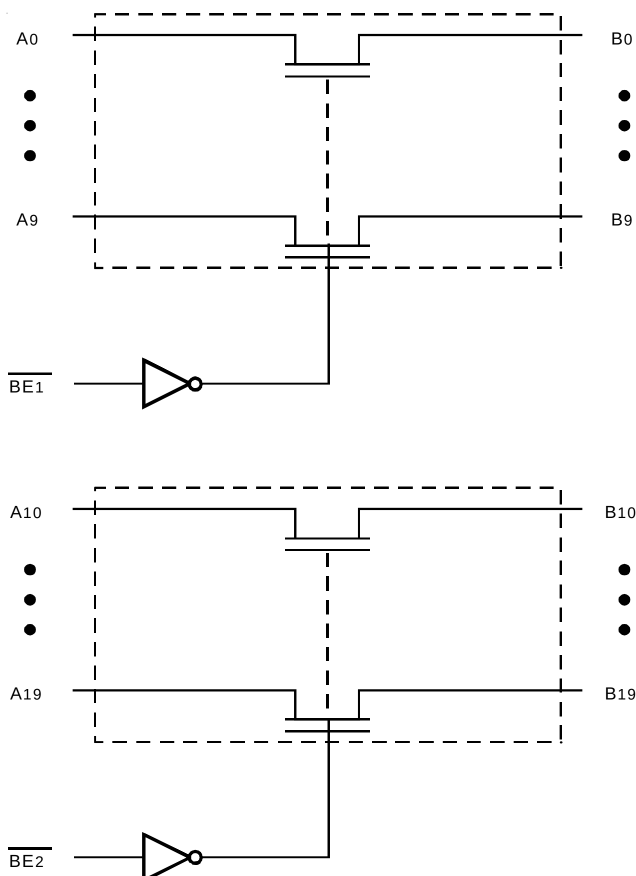
DESCRIPTION:

The QS32X861 provides two sets of ten high-speed CMOS TTL-compatible bus switches. The low ON resistance of the QS32X861 allows inputs to be connected to outputs without adding propagation delay and without generating additional ground bounce noise. The Bus Enable ($\overline{BEn}$) signals turn the switches on.

The QS32X861 bus switch is ideal for switching digital buses, as well as for hotplug buffering and 5V to 3V conversion.

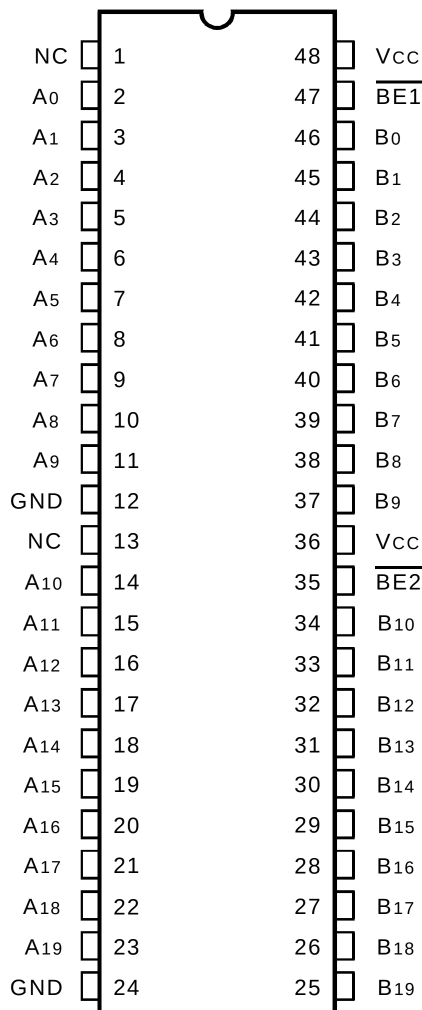
The QS32X861 is characterized for operation at -40°C to +85°C.

FUNCTIONAL BLOCK DIAGRAM



The IDT logo is a registered trademark of Integrated Device Technology, Inc.

PIN CONFIGURATION



QVSOP
TOP VIEW

ABSOLUTE MAXIMUM RATINGS(1)

Symbol	Description	Max	Unit
V_{TERM}(2)	Supply Voltage to Ground	–0.5 to +7	V
V_{TERM}(3)	DC Switch Voltage Vs	–0.5 to +7	V
V_{TERM}(3)	DC Input Voltage V_{IN}	–0.5 to +7	V
V_{AC}	AC Input Voltage (pulse width ≤ 20ns)	–3	V
I_{OUT}	DC Output Current	120	mA
P_{MAX}	Maximum Power Dissipation (T_A = 85°C)	0.5	W
T_{STG}	Storage Temperature	–65 to +150	°C

NOTE:
1. Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.
2. Vcc terminals.
3. All terminals except Vcc.

CAPACITANCE

(T_A = +25°C, f = 1.0MHz, V_{IN} = 0V, V_{OUT} = 0V)

Pins	Typ.	Max.(1)	Unit
Control Pins	3	5	pF
Quickswitch Channels (Switch OFF)	5	7	pF

NOTE:
1. This parameter is measured at characterization but not tested.

PIN DESCRIPTION

Pin Names	I/O	Description
A0 - A19	I/O	Bus A
B0 - B19	I/O	Bus B
$\overline{BEn}$	I	Bus Enable

FUNCTION TABLE(1)

$\overline{BE1}$	$\overline{BE2}$	A0 - A9	A10 - A19	Function
L	L	B0 - B9	B10 - B19	Connect
L	H	B0 - B9	Z	Connect
H	L	Z	B10 - B19	Connect
H	H	Z	Z	Disconnect

NOTE:
1. H = HIGH Voltage Level
   L = LOW Voltage Level
   Z = High-Impedance

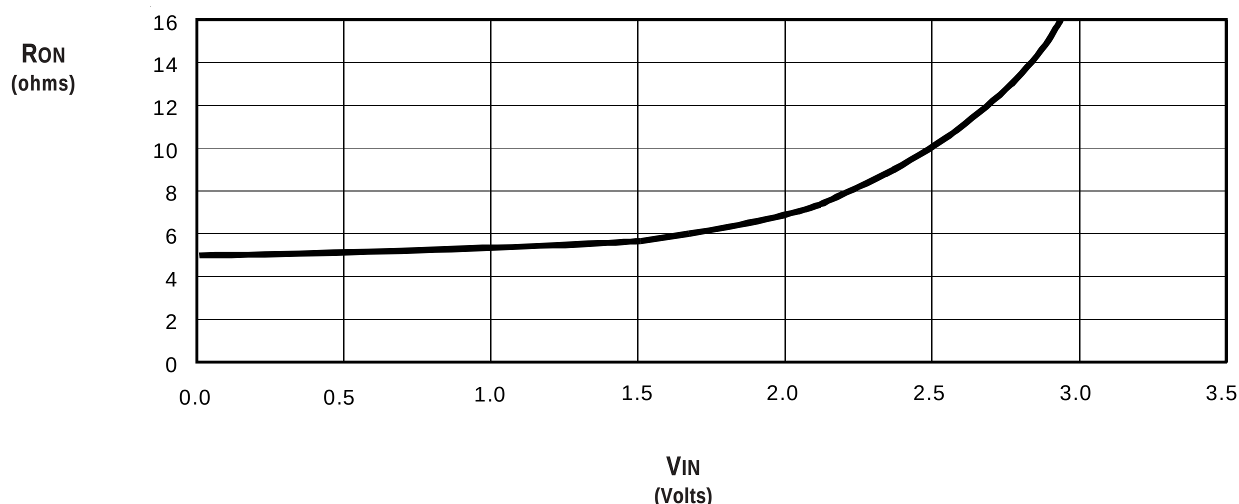
DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE

Following Conditions Apply Unless Otherwise Specified:
Industrial: T_A = –40°C to +85°C, V_{CC} = 5.0V ±5%

Symbol	Parameter	Test Conditions	Min.	Typ.[1]	Max.	Unit
V_{IH}	Input HIGH Level	Guaranteed Logic HIGH for Control Pins	2	—	—	V
V_{IL}	Input LOW Level	Guaranteed Logic LOW for Control Pins	—	—	0.8	V
I_{IN}	Input LeakageCurrent (Control Inputs)	$0V \leq V_{IN} \leq V_{CC}$	—	±0.01	±1	µA
I_{OZ}	Off-State Output Current (Hi-Z)	$0V \leq V_{OUT} \leq V_{CC}$, Switches OFF	—	±0.01	±1	µA
R_{ON}	Switch ON Resistance	V_{CC} = Min., V_{IN} = 0V, I_{ON} = 30mA	—	5	7	Ω
		V_{CC} = Min., V_{IN} = 2.4V, I_{ON} =15mA	—	10	15	
V_P	Pass Voltage[2]	V_{CC} = 5V, I_{OUT} = -5µA	3.7	4	4.2	V

NOTES:
1. Typical values are at V_{CC} = 5.0V, T_A = 25°C.
2. Pass Voltage is guaranteed but not production tested.

TYPICAL ON RESISTANCE vs V_{IN} AT V_{CC} = 5V



POWER SUPPLY CHARACTERISTICS

Symbol	Parameter	Test Conditions[1]	Typ[2]	Max.	Unit
I_{CCQ}	Quiescent Power Supply Current	V_{CC} = Max., V_{IN} = GND or Vcc, f = 0	0.2	6	µA
ΔI_{CC}	Power Supply Current per Control Input HIGH[3]	V_{CC} = Max., V_{IN} = 3.4V, f = 0	—	2.5	mA
I_{CCD}	Dynamic Power Supply Current per MHz[4]	V_{CC} = Max., A and B pins open $\overline{BEn}$ Control Input Toggling at 50% Duty Cycle	—	0.25	mA/MHz

NOTES:
1. For conditions shown as Min. or Max., use the appropriate values specified under DC Electrical Characteristics.
2. Typical values are at V_{CC} = 5.0V, 25°C ambient.
3. Per TLL driven input (V_{IN} = 3.4V, control inputs only). A and B pins do not contribute to ΔIcc.
4. This current applies to the control inputs only and represents the current required to switch internal capacitance at the specified frequency. The A and B pins generate no significant AC or DC currents as they transition. This parameter is guaranteed but not production tested.

SWITCHING CHARACTERISTICS OVER OPERATING RANGE

T_A = -40°C to +85°C, V_{CC} = 5.0V ± 5%;

C_{LOAD} = 50pF, R_{LOAD} = 500Ω unless otherwise noted.

Symbol	Parameter	Min.[1]	Typ.	Max.	Unit
t_{PLH} t_{PHL}	Data Propagation Delay[2,3] An to/from Bn	—	0.25	—	ns
t_{PZH} t_{PZL}	Switch Turn-on Delay $\overline{BEn}$ to An/Bn	1.5	—	6.5	ns
t_{PHZ} t_{PLZ}	Switch Turn-off Delay[2] $\overline{BEn}$ to An/Bn	1.5	—	5.5	ns

NOTES:
1. Minimums are guaranteed but not production tested.
2. This parameter is guaranteed but not production tested.
3. The bus switch contributes no propagation delay other than the RC delay of the ON resistance of the switch and the load capacitance. The time constant for the switch alone is of the order of 0.25ns for C_L = 50pF. Since this time constant is much smaller than the rise and fall times of typical driving signals, it adds very little propagation delay to the system. Propagation delay of the bus switch, when used in a system, is determined by the driving circuit on the driving side of the switch and its interaction with the load on the driven side.

ORDERING INFORMATION

IDTQS XXXXX XX X

- XXXXX — Device Type
- XX — Package
- X — Process

Field	Code	Description
Process	Blank	Industrial (-40°C to +85°C)
Package	Q1	48-Pin QVSOP
Device Type	32X861	High Speed CMOS 20-Bit Bus Switch with Flow-Through Pinout



CORPORATE HEADQUARTERS
2975 Stender Way
Santa Clara, CA 95054

for SALES:
800-345-7015 or 408-727-6116
fax: 408-492-8674
www.idt.com

for Tech Support:
logichelp@idt.com
(408) 654-6459



5. 參考

表格 1 STRATIX DEVICE FAMILY 15
表格 2 STRATIX II PACKAGE OFFERINGS & USERS I/O COUNTS 15
表格 3 STRATIX II DEVICE FAMILY DEDICATE PIN 18
表格 4 IN-COMPATIBLE PINS IN FINE-LINE BGA 1020 19
表格 5 JP1 & JP5 之一 20
表格 6 JP1 & JP5 之二 21
表格 7 JP2 & JP6 之一 22
表格 8 JP2 & JP6 之二 23
表格 9 JP3 & JP7 之一 24
表格 10 JP3 & JP7 之二 25
表格 11 JP4 & JP8 之一 26
表格 12 JP4 & JP8 之二 27
表格 13 UART IN GFEC STRATIX II DEVELOPMENT BOARD 31
表格 14 GLOBAL CLOCK IN GFEC STRATIX II DEVELOPMENT BOARD 32
表格 15 CONTAINS DETAILS ABOUT QUARTUS® II SOFTWARE VERSION 4.2 OPERATING SYSTEM (OS) SUPPORT. 35
表格 16 QUARTUS II SUPPORT STRATIX II TIMING MODEL & POF 36
表格 17 3RD SUPPORT STRATIX II DEVICE FAMILY 36

圖表 1 STRATIX II EP2S60 FLOORPLAN 8
圖表 2 茂綸 STRATIX II 研發電路板外觀圖 13
圖表 3 茂綸STRATIX II研發電路板機構圖 14

版本更動記錄

V0.50	Alpha Version
V0.80	Beta Version
V0.90	Pre-Release 1
V1.0	The first version manual and Board Version B
V2.0	The Board Version C & Bug Fixed
V2.1	The Configuration Device Setting & Bug Fixed
V2.2	USB Blaster Driver Installation Information Added
V2.3	Connector Footprint Recommend Layout & Bug Fixed